

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172366

(43)Date of publication of application : 02.07.1996

(51)Int.Cl.

H03M 13/12

G11B 20/18

(21)Application number : 06-314922

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 19.12.1994

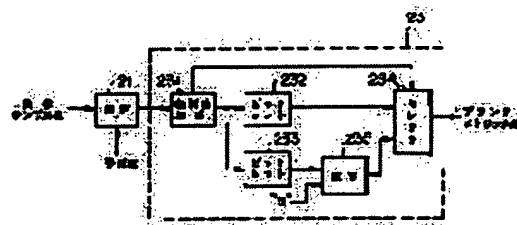
(72)Inventor : HAYASHI HIDEKI

(54) BRANCHMETRIC OPERATION CIRCUIT IN VITERBI DECODER

(57)Abstract:

PURPOSE: To attain high speed decoding processing by approximating square operation for finding out the squared value of a subtracted result value between a received sample value and a predicted sample value by a broken line based upon plural linear functions.

CONSTITUTION: A subtractor 21 subtracts between a received sample value and a predicted sample value and supplies the subtracted result to a broken line conversion circuit 23. The circuit 23 converts the subtracted result value by a broken line approximate function for square operation to obtain a conversion value as a branchmetric value. When the subtracted result value is defined as X , the broken line approximate function is expressed by linear functions Y_a , Y_b . Namely $Y_a = 2i \cdot |X|$; provided with $|X| < t$ and $Y_b = (2i \cdot N \cdot |X| - a)$ provided with $|X| \geq t$. When the $|X|$ is smaller than a prescribed value (t), the subtracted result value X is converted into a branchmetric value Y by using the linear function Y_a , and when the $|X|$ is more than the prescribed value (t), the value X is converted into the branchmetric value Y by using the linear function Y_b .



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 25.01.2001

[Date of sending the examiner's decision of rejection] 31.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Unexamined Japanese Patent Publication 08-172366
Published 2 July 1996
Translation of Specification and Claims into English
By Japanese Patent Office
With Japanese Drawings

Application number: 06-314922
Filing date: 18 October 1994

Inventor(s): Hideki, Hayashi
Applicant: Pioneer Electronic Corp.

[Claim(s)]

[Claim 1] It is a branch metric arithmetic circuit in the Viterbi decoder which acquires the square error of a receiving value and a forecast as branch metric, and acquires a decode data sequence based on said branch metric. A subtraction means to perform subtraction with said receiving value and said forecast, and to acquire a subtraction value, The branch metric arithmetic circuit in the Viterbi decoder characterized by having the polygonal-line conversion means which makes branch metric [said] the value which changed said subtraction value and was acquired with the polygonal-line approximation function to a square operation.

[Claim 2] Said polygonal-line approximation function is a branch metric arithmetic circuit in the Viterbi decoder according to claim 1 characterized by consisting of two or more mutually different primary functions.

[Claim 3] The inclination of said primary function is a branch metric arithmetic circuit in the Viterbi decoder according to claim 2 characterized by being $2N$ s (N being an integer).

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the branch metric arithmetic circuit in this Viterbi decoder especially about the Viterbi decoder (Viterbi Decoder) which decodes a digital data signal in the recording information regenerative apparatus which reproduces recording information currently recorded on the data transmission system or the record medium.

[0002]

[Background of the Invention] In the record reversion system like this recording information regenerative apparatus, Viterbi decoding is in the approach of decoding the digital data signal which received the intersymbol interference with high dependability. According to this Viterbi decoding, when an intersymbol interference becomes size, and when S/N of a regenerative signal is low, a digital data signal can be decoded in a low error rate.

[0003] Drawing 1 is drawing showing the configuration of the Viterbi decoder which realizes this Viterbi decoding. In this drawing 1, the information signal transmitted from

the communication terminal in the reading signal or digital transmission system read in the record medium with which the digital signal is recorded is supplied to A/D converter 1 as an input signal. A/D converter 1 samples this input signal to predetermined sample timing, one by one, is changed into a receiving sampled-value sequence, and supplies this to the branch metric arithmetic circuit 2.

[0004] The branch metric arithmetic circuit 2 is the square error value of two or more prediction sampled values with each as an ideal value (value acquired when not influenced of a noise etc.) which can be taken as this receiving sampled value, and the receiving sampled value supplied from this A/D converter 1,

[0005]. [i.e.,]
[Equation 1]

$$\{[\text{Receiving sampled-value}] - [\text{prediction sampled-value}]\}^2$$

(1) is calculated and the pass metric arithmetic circuit 3 is supplied by making this into a branch metric value. Drawing 2 is drawing showing an example of the internal configuration of this branch metric arithmetic circuit 2.

[0006] In drawing 2, a subtractor 21 performs subtraction with the receiving sampled value supplied from A/D converter 1, and a prediction sampled value, and supplies this subtraction result to a multiplier 22. A multiplier 22 obtains this as a branch metric value in quest of the square value of this subtraction result. here -- this -- Viterbi -- a decoder -- a **** -- an input signal -- supplying -- having -- until -- a transmission line -- a system -- PR (1 1) -- transmission -- a system (partial response transmission system class I) -- ** -- carrying out -- if -- a time -- k -- it can set -- reception -- a sampled value -- Y -- (-- k --) - - a time -- k -- it can set -- transmission -- a sampled value -- X -- (-- k --) -- one time -- transmitting sampled-value X (k-1) of the actual making of the tea -- it can predict . Namely, Y (k) is set to "0" when these X (k) and X (k-1) are "0, 0." When X (k) and X (k-1) are "0, 1", or "1, 0", Y (k) is set to "1", and Y (k) is set to "2" when X (k) and X (k-1) are "1, 1." That is, receiving sampled-value Y (k) supplied to the Viterbi decoder can perform four kinds of prediction according to two transmitting sampled-value X (k) and X (k-1).

[0007] Under the present circumstances, the branch metric arithmetic circuit 2 supplies four branch metric values λ_{00} - λ_{11} corresponding to these four prediction sampled values of each to the pass metric arithmetic circuit 3. The pass metric arithmetic circuit 3 makes what was obtained for every branch metric value by carrying out accumulation addition of the value one by one a pass metric value, and supplies the pass selection signal which shows the pass used as the smallest value among these pass metric values to the pass memory 4. The pass memory 4 outputs this as a decode digital signal, making the temporary decision value which consists of "0" and "1" according to this pass selection signal update.

[0008] Like the above, in this Viterbi decoder, the square error of a receiving sampled

value and a prediction sampled value is searched for as branch metric, and a probable digital signal sequence is acquired based on branch metric of this. However, in order to search for this square error, square data processing using the multiplier 22 shown in drawing 2 becomes indispensable, and the time amount spent on this data processing by delay by the carry actuation produced inside the multiplier serves as size. Therefore, the problem that the processing time spent on the whole Viterbi decoding will also become late depending on the time amount spent on this square data processing arose. Furthermore, in LSI-izing the Viterbi decoder of a **** configuration, although shown in above-mentioned drawing 1 since the circuit scale of this multiplier 22 is a so-called size, there was a problem that the manufacturing cost became high.

[0009]

[Problem(s) to be Solved by the Invention] This invention is made that this problem should be solved -- having -- smallness -- it aims at offering the branch metric arithmetic circuit in the Viterbi decoder in which high-speed decode processing is possible on a circuit scale.

[0010]

[Means for Solving the Problem] The branch metric arithmetic circuit in the Viterbi decoder by this invention is a branch metric arithmetic circuit in the Viterbi decoder which acquires the square error of a receiving value and a forecast as branch metric, and acquires a decode data sequence based on said branch metric. It has a subtraction means to perform subtraction with said receiving value and said forecast, and to acquire a subtraction value, and the polygonal-line conversion means which makes branch metric [said] the value which changed said subtraction value and was acquired with the polygonal-line approximation function to a square operation.

[0011]

[Function] The branch metric arithmetic circuit in the Viterbi decoder by this invention performs the square operation for calculating the square value of the subtraction result value of a receiving sampled value and a prediction sampled value by the polygonal-line approximation by two or more primary functions.

[0012]

[Example] Hereafter, the example of this invention is explained. Drawing 3 is drawing showing the configuration of the branch metric arithmetic circuit by this invention. In this drawing 3, a subtractor 21 performs subtraction with the receiving sampled value supplied from A/D converter 1 of drawing 1, and a prediction sampled value, and supplies this subtraction result value to the polygonal-line conversion circuit 23.

[0013] The polygonal-line conversion circuit 23 changes this subtraction result value with the polygonal-line approximation function of a square operation, and acquires this conversion value as a branch metric value. Under the present circumstances, when this subtraction result value is set to X, the above-mentioned polygonal-line approximation function is shown by the following primary functions Ya and Yb.

[0014]

[Equation 2]

$Y_a = 2^i \cdot |X|$ It corrects $|X| < t$

$Y_b = 2^j \cdot |X| - a$ It corrects $|X| \geq t$

In the polygonal-line conversion circuit 23 in drawing 3, it asked for absolute value $|X|$ of the above-mentioned subtraction result value X in the absolute value generation circuit 231, and the above-mentioned primary function Y_a is realized by carrying out the bit shift of this absolute value $|X|$ by i bits in the bit shift circuit 232. On the other hand, the above-mentioned primary function Y_b is realized by subtracting the predetermined constant a with a subtractor 235 from the value acquired in the bit shift circuit 233 by carrying out the bit shift of above-mentioned absolute value $|X|$ by j bits.

[0015] Under the present circumstances, the selector 234 -- the value of above-mentioned absolute value $|X|$ -- t -- smallness -- a case makes the value which subtracted the predetermined constant a and was acquired from the value by which the bit shift was carried out in the bit shift circuit 233 a branch metric value, when the value of absolute value $|X|$ is beyond the predetermined value t , while making into a branch metric value the value which the bit shift was carried out like **** in the above-mentioned bit shift circuit 232, and was acquired.

[0016] Drawing 4 is drawing showing the polygonal-line approximation function to the square operation in which it succeeds by this polygonal-line conversion circuit 23. it is shown in drawing 4 -- as -- the absolute value of the subtraction result value X -- the predetermined value t -- smallness -- a case While that inclination changes this subtraction result value X using the primary function Y_a (a continuous line shows) which is 2^i and makes this the branch metric value Y When the absolute value of the subtraction result value X is beyond the predetermined value t , the inclination changes this subtraction result value X using the primary function Y_b (a broken line shows) which is 2^j , and makes this the branch metric value Y .

[0017] Drawing 5 is drawing showing an example of the polygonal-line approximation function applied when a square operation is set to $Y_P = (1/4)$ and X^2 . In this drawing 5, the above-mentioned subtraction result value X is made into the integral value (- 8-7) expressed with 4 bits, and the polygonal-line approximation function $i = 0$ of the above-mentioned primary function Y_a , $j = 1$ of the above-mentioned primary function Y_b , $a = 4$, and at the time of making t into $(1/2 \text{ of the maximum of absolute value } |X|)$, 4 [i.e.,], further is shown in this case.

[0018] Therefore, this polygonal-line approximation function is in this case.

[0019]

[Equation 3]

$Y_a = |X|$ It corrects $|X| < 4$

$Y_b = 2 \cdot |X| - 4$ It corrects $|X| \geq 4$

Under the present circumstances, the absolute value generation circuit 231 shown in drawing 3 Among 4 bits of the subtraction result value X supplied from the subtractor 21, when the value of "0" X, i.e., a subtraction result value, is seven or less positive integer, the logical value of the most significant bit While supplying each of the bit shift circuits 232 and 233, using this subtraction result value X as absolute value $|X|$ as it is The logical value of this most significant bit makes the value to which they added 1 to what reversed all the bit logic of this subtraction result value X when the values of "1" X, i.e., a subtraction result value, were -eight or more negative integral exponents absolute value $|X|$, and supplies each of the bit shift circuits 232 and 233. Since it was referred to as $i=0$ in the bit shift circuit 232 like **** here, the bit shift circuit 232 supplies this absolute value $|X|$ to a selector 234 as it is in this case, without carrying out a bit shift. On the other hand, the bit shift circuit 233 supplies the value acquired by carrying out the bit shift of this 1 bit absolute value $|X|$ to a most-significant side to a subtractor 235. A subtractor 235 supplies the value which subtracted only 4 from this value to a selector 234. this selector 234 -- the value of absolute value $|X| - 4$ -- smallness -- a case makes the value which subtracted the predetermined constant a and was acquired from the value by which the bit shift was carried out in the bit shift circuit 233 a branch metric value, when the value of absolute value $|X|$ is four or more, while making into a branch metric value the value which the bit shift was carried out like **** in the above-mentioned bit shift circuit 232, and was acquired.

[0020] Like the above, the square operation of a branch metric arithmetic circuit is considered as the configuration realized by the polygonal-line approximation by two or more primary functions in view of actuation of the Viterbi decoding of decoding a probable data sequence, in this invention by choosing the sequence from which **** of a branch metric value serves as min. namely, the branch metric value which was not important for the branch metric value itself, and was acquired in Viterbi decoding corresponding to two or more decode sequences of each -- inner -- any -- most -- smallness -- it is important to judge whether it is a value. That is, since what is necessary is just to be able to perform a relative size comparison branch metric [each], even if it does not calculate a branch metric value by the square operation but ** also calculates a branch metric value by the polygonal-line approximation by two or more primary functions like the above, the decode precision does not fall.

[0021] Therefore, according to this invention, as compared with the branch metric arithmetic circuit which calculated the branch metric value, high-speed processing is attained in square data processing using a multiplier. In addition, the example shown in above-mentioned drawing 5 is available also as unsymmetrical, although the gestalt of the transform function is made into the symmetry in each when the subtraction result value X is a positive integer, and when it is a negative integral exponent.

[0022] Drawing 6 is drawing showing an example of the polygonal-line approximation function made in view of this point. In the polygonal-line approximation function shown in drawing 6, it consists of five primary function Ya-Ye like a less or equal.

[0023]

[Equation 4]

Ya = X It corrects $0 \leq X < 4$

Yb = $2 \cdot X - 4$ It corrects $4 \leq X$

Yc = 0 It corrects. $-1 \leq X < 0$

Yd = $-X - 1$ It corrects $-5 \leq X < -1$

Ye = $-2 \cdot X - 6$ It corrects $X < -5$

However, drawing 7 is drawing showing an example of the circuitry of the polygonal-line conversion circuit 23 which acquires a branch metric value in these five primary function Ya-Ye. Moreover, although drawing 8 is shown in this drawing 7, it is drawing showing the table of truth value of a **** circuit.

[0024] In drawing 7, each bits X0-X3 of the subtraction result value X supplied from the subtractor 21 shown by drawing 3 are supplied to exclusive "or" circuits EX1-EX3. the exclusive-OR output of the bits [in / in an exclusive "or" circuit EX1 / the subtraction result value X] X2 and X3 -- selectors SE1-SE4 -- each selection edge S is supplied. An exclusive "or" circuit EX2 supplies the exclusive-OR output of the bits X1 and X3 in the subtraction result value X to the input edge P1 of a selector SE 1, the input edge P0 of a selector SE 3, and each of an inverter IV1. An inverter IV1 reverses the logical value of the exclusive-OR output supplied from this exclusive "or" circuit EX2, and supplies this to the input edge P1 of a selector SE 2. An exclusive "or" circuit EX3 supplies the exclusive-OR output of the bits X0 and X3 in the subtraction result value X to each of the input edge P1 of a selector SE 3, and the input edge P0 of a selector SE 4.

[0025] Selectors SE1-SE4 are 2TO(s)1 selectors which consist of an inverter IV2, AND gates AN1 and AN2, and OR gate OR 1 respectively. When the signal of a logical value "0" is supplied to the selection edge S While choosing the signal supplied to the input edge P0 and making this into the branch metric values Y0-Y3, when the signal of a logical value "1" is supplied to the selection edge S, the signal supplied to the input edge P1 is chosen, and let this be the branch metric values Y0-Y3.

[0026] Like the above, the polygonal-line approximation function shown by drawing 6 is realizable in a comparatively small-scale logical circuit, as shown in drawing 7. In addition, in the above-mentioned example, although two steps of polygonal lines have realized polygonal-line approximation to a square operation, it is not limited to these two

steps. Drawing 9 is drawing showing the configuration of the branch metric arithmetic circuit equipped with the polygonal-line conversion circuit 23 which performs polygonal-line approximation to a square operation with four steps of polygonal lines.

[0027] In this drawing 9, a subtractor 21 performs subtraction with the receiving sampled value supplied from A/D converter 1 of drawing 1, and a prediction sampled value, and supplies this subtraction result value to the polygonal-line conversion circuit 23. The polygonal-line conversion circuit 23 changes this subtraction result value with the polygonal-line approximation function to a square operation, and acquires this conversion value as a branch metric value. Under the present circumstances, this polygonal-line approximation function is shown by following primary function Ya-Yd.

[0028]

[Equation 5]

$$Y_a = 2^i \cdot |X| \quad \text{It corrects } |X| < t_1$$

$$Y_b = 2^j \cdot |X| - a \quad \text{It corrects } t_1 \leq |X| < t_2$$

$$Y_c = 2^k \cdot |X| - b \quad \text{It corrects } t_2 \leq |X| < t_3$$

$$Y_d = 2^l \cdot |X| - c \quad \text{It corrects } t_3 \leq |X|$$

In the polygonal-line conversion circuit 23 shown in drawing 9 It asked for absolute value $|X|$ of the above-mentioned subtraction result value X in the absolute value generation circuit 231, and the above-mentioned primary function Y_a is realized by carrying out the bit shift of this absolute value $|X|$ by i bits in the bit shift circuit 241. On the other hand, the above-mentioned primary function Y_b is realized by subtracting the predetermined constant a with a subtractor 246 from the value acquired in the bit shift circuit 242 by carrying out the bit shift of above-mentioned absolute value $|X|$ by j bits. Moreover, the above-mentioned primary function Y_c is realized by subtracting the predetermined constant b with a subtractor 247 from the value acquired in the bit shift circuit 243 by carrying out the bit shift of above-mentioned absolute value $|X|$ by k bits. Furthermore, the above-mentioned primary function Y_d is realized by subtracting the predetermined constant c with a subtractor 248 from the value acquired in the bit shift circuit 244 by carrying out the bit shift of above-mentioned absolute value $|X|$ by l bits.

[0029] Under the present circumstances, the selector 245 -- the value of above-mentioned absolute value $|X|$ -- t_1 -- smallness -- a case makes the value which the bit shift was carried out like **** in the above-mentioned bit shift circuit 241, and was acquired a branch metric value. Moreover, a selector 245 makes the value which the value of absolute value $|X|$ was more than t_1 , and subtracted the predetermined constant a and was acquired from the value by which the bit shift was carried out in the bit shift circuit 242 when it was less than $[t_2]$ a branch metric value. Moreover, a selector 245 makes the value which the value of absolute value $|X|$ was more than t_2 , and subtracted the predetermined constant b and was acquired from the value by which the bit shift was

carried out in the bit shift circuit 243 when it was less than [t3] a branch metric value. Moreover, a selector 245 makes the value which subtracted the predetermined constant c and was acquired from the value by which the bit shift was carried out in the bit shift circuit 244 a branch metric value, when the value of absolute value |X| consists of t3 size.

[0030] Drawing 10 as the above-mentioned i=-1, j= 0, k= 1, l= 2, a= 1, b= 5, and c= 17 Furthermore, it is drawing showing the polygonal-line approximation function at the time of setting 2 which is (1/4) of the maximum of absolute value |X| about the above t1, 4 which is (1/2) of the maximum of absolute value |X| about the above t2, and the above t3 to 6 which is (3/4) of the maximum of absolute value |X|. Under the present circumstances, this polygonal-line approximation function becomes a thing like the following.

[0031]

[Equation 6]

$$Y_a = (1/2) \cdot |X| \quad \text{It corrects } |X| < 2$$

$$Y_b = |X| - 1 \quad \text{It corrects } 2 \leq |X| < 4$$

$$Y_c = 2 \cdot |X| - 5 \quad \text{It corrects } 4 \leq |X| < 6$$

$$Y_d = 4 \cdot |X| - 17 \quad \text{It corrects } 6 \leq |X|$$

Drawing 11 shows the example of the polygonal-line approximation function which performs polygonal-line approximation to a square operation with seven steps of polygonal lines.

[0032] The polygonal-line approximation function shown in drawing 11 consists of seven primary function Ya-Yg like a less or equal.

[0033]

[Equation 7]

$$Y_a = 0 \quad \text{It corrects } -2 < X \leq 1$$

$$Y_b = X - 1 \quad \text{It corrects } 1 < X \leq 3$$

$$Y_c = 2 \cdot X - 4 \quad \text{It corrects } 3 \leq X < 6$$

$$Y_d = 4 \cdot X - 16 \quad \text{It corrects } 6 \leq X$$

$$Y_e = -X - 2 \quad \text{It corrects } -4 < X \leq -2$$

$$Y_f = -2 \cdot X - 6 \quad \text{It corrects } -7 < X \leq -4$$

$$Y_g = -4 \cdot X - 20$$

It corrects $X \leq -7$

Drawing 12 is drawing showing an example of the circuitry of the polygonal-line conversion circuit 23 which acquires a branch metric value in these seven primary function Y_a - Y_g . Moreover, although drawing 13 is shown in this drawing 12, it is drawing showing the table of truth value of a **** circuit.

[0034] In drawing 12, each bits X_0 - X_3 of the subtraction result value X supplied from the subtractor 21 shown by drawing 9 are supplied to exclusive "or" circuits EX4-EX6. the exclusive-OR output of the bits [in / in an exclusive "or" circuit EX4 / the subtraction result value X] X_2 and X_3 -- selectors SE5-SE8 -- each selection edge S2 is supplied. the exclusive-OR output of the bits [in / in an exclusive "or" circuit EX5 / the subtraction result value X] X_1 and X_3 -- selectors SE5-SE8 -- each selection edge S1 is supplied. An exclusive "or" circuit EX6 supplies the exclusive-OR output of the bits X_0 and X_3 in the subtraction result value X to the input edge P3 of a selector SE 6, the input edges P1 and P2 of a selector SE 7, and each of an inverter IV3. An inverter IV3 reverses the logical value of the exclusive-OR output supplied from this exclusive "or" circuit EX6, and supplies this to the input edge P1 of a selector SE 8.

[0035] Respectively, although selectors SE5-SE8 are shown in drawing, they are 4TO(s)1 selectors which consist of the **** gates G1-G5, when the signal of a logical value "0, 0" is supplied to the selection edges S1 and S2, respectively, choose the signal supplied to the input edge P0, and make this the branch metric values Y_0 - Y_3 . Moreover, when the signal of a logical value "1, 0" is supplied to the selection edges S1 and S2, respectively, selectors SE5-SE8 choose the signal supplied to the input edge P1, and make this the branch metric values Y_0 - Y_3 . Moreover, when the signal of a logical value "0, 1" is supplied to the selection edges S1 and S2, respectively, selectors SE5-SE8 choose the signal supplied to the input edge P2, and make this the branch metric values Y_0 - Y_3 . Moreover, when the signal of a logical value "1, 1" is supplied to the selection edges S1 and S2, respectively, selectors SE5-SE8 choose the signal supplied to the input edge P3, and make this the branch metric values Y_0 - Y_3 .

[0036] Like the above, the polygonal-line approximation function shown by drawing 11 is realizable in a comparatively small-scale logical circuit, as shown in this drawing 12. Moreover, you may make it restrict the maximum of the branch metric value in the branch metric operation by the **** polygonal-line approximation function mentioned above. That is, since the probability for the pass containing the branch which has big branch metric above to some extent, and this branch to be chosen finally is very low, even if it restricts the maximum of a branch metric value, the decode engine performance does not fall.

[0037] Drawing 14 is drawing showing the example of a configuration at the time of preparing the so-called limiter ability which performs a maximum limit of a branch metric value in the branch metric arithmetic circuit shown by drawing 3. In addition, in this drawing 14, the same sign is given to the same functional block as each functional block in drawing 3. In the configuration of this drawing 14, when the value of absolute

value $|X|$ in the subtraction result value X acquired in the absolute value generation circuit 231 consists of a predetermined limit value size, selector 234' outputs the fixed value L_m as a branch metric value.

[0038] Drawing 15 is drawing showing an example of a polygonal-line approximation function when the upper limit of this limit value is set to 7 and it sets -7 and the fixed value L_m to 10 for a lower limit. Under the present circumstances, this polygonal-line approximation function is

[0039].

[Equation 8]

$Y_a = |X|$ It corrects $|X| < 4$

$Y_b = 2 \cdot |X| - 4$ It corrects. $4 \leq |X| < 7$

$Y_c = 10$ It corrects $7 \leq |X|$

[0040] Drawing 16 is drawing showing other examples of a polygonal-line approximation function when the upper limit of the above-mentioned limit value is set to 7 and it sets -8 and the fixed value L_m to 10 for a lower limit. Under the present circumstances, a polygonal-line approximation function is

[0041].

[Equation 9]

$Y_a = X$ It corrects $0 \leq X < 4$

$Y_b = 2 \cdot X - 4$ It corrects $4 \leq X < 7$

$Y_c = 10$ It corrects $7 \leq X$ or $X < -8$

$Y_d = 0$ It corrects $-1 \leq X < 0$

$Y_e = -X - 1$ It corrects $-5 \leq X < -1$

$Y_f = -2 \cdot X - 6$ It corrects $-8 \leq X < -5$

[0042] Drawing 17 is drawing showing an example of the circuitry of the polygonal-line conversion circuit 23 which acquires a branch metric value in these six primary function Y_a - Y_f . Moreover, although drawing 18 is shown in this drawing 17, it is drawing showing the table of truth value of a **** circuit. In drawing 17, the subtraction result value X of 5 bits which consists of bits X_0 - X_4 is supplied to exclusive "or" circuits EX7-EX10 from the subtractor 21 shown by drawing 14. An exclusive "or" circuit EX7 supplies the exclusive-OR output of the bits X_4 and X_3 in the subtraction result value X to each of OR gates OR2-OR4. An exclusive "or" circuit EX8 supplies the exclusive-OR output of the bits X_4 and X_2 in the subtraction result value X to OR gate OR 2. An exclusive "or" circuit EX9 supplies the exclusive-OR output of the bits X_4 and X_1 in the

subtraction result value X to OR gate OR 3. An exclusive "or" circuit EX10 supplies the exclusive-OR output of the bits X4 and X0 in the subtraction result value X to OR gate OR 4. the OR of the exclusive-OR output to which OR gate OR 2 was supplied from exclusive "or" circuits EX7 and EX8 -- selectors SE9-SE12 -- each selection edge S is supplied. OR gate OR 3 supplies the OR of the exclusive-OR output supplied from exclusive "or" circuits EX7 and EX9 to the input edge P1 of a selector SE 9, the input edge P0 of a selector SE 11, and each of an inverter IV5. An inverter IV5 reverses the logical value of the OR supplied from this OR gate OR 3, and supplies this to the input edge P1 of a selector SE 10. OR gate OR 4 supplies the OR of the exclusive-OR output supplied from exclusive "or" circuits EX7 and EX10 to each of the input edge P1 of a selector SE 11, and the input edge P0 of a selector SE 12.

[0043] When it is 2TO(s)1 selector of the internal configuration as the selectors SE1-SE4 shown by drawing 7 with the same selectors SE9-SE12 and the signal of a logical value "0" is supplied to the selection edge S While choosing the signal supplied to the input edge P0 and making this into the branch metric values Y0-Y3, when the signal of a logical value "1" is supplied to the selection edge S, the signal supplied to the input edge P1 is chosen, and let this be the branch metric values Y0-Y3.

[0044] Since the number of bits which an operation takes by preparing limiter ability in a branch metric arithmetic circuit like the above can be reduced, it becomes possible to reduce the circuit scale of this branch metric arithmetic circuit or subsequent ones, at i.e., the time of a pass metric operation. In addition, in each above-mentioned example, although the each primary function of a polygonal-line approximation function is continuing, as it is shown by the continuous line of drawing 19, it may be discontinuous.

[0045]

[Effect of the Invention] Like the above, it is considering as the configuration which performs the square operation for calculating the square value of the subtraction result value of a receiving sampled value and a prediction sampled value by the polygonal-line approximation by two or more primary functions in the branch metric arithmetic circuit in the Viterbi decoder by this invention. Therefore, according to this invention, as compared with the branch metric arithmetic circuit which calculated the branch metric value, high-speed processing is attained by small-scale circuitry in square data processing using a multiplier 3.

[Brief Description of the Drawings]

[Drawing 1] is drawing showing the configuration of the Viterbi decoder.

[Drawing 2] is drawing showing the configuration of the conventional branch metric arithmetic circuit.

[Drawing 3] is drawing showing the configuration of the branch metric arithmetic circuit by this invention.

[Drawing 4] is drawing showing an example of a polygonal-line approximation function to the square operation by the branch metric arithmetic circuit of this invention.

[Drawing 5] is drawing showing an example of a polygonal-line approximation function to the square operation by the branch metric arithmetic circuit of this invention.

[Drawing 6] is drawing showing an example of a polygonal-line approximation function to the square operation by the branch metric arithmetic circuit of this invention.

[Drawing 7] is drawing showing an example of the circuitry of the branch metric arithmetic circuit by this invention.

[Drawing 8] is drawing showing the table of truth value of the branch metric arithmetic circuit shown in drawing 7.

[Drawing 9] is drawing showing other configurations of the branch metric arithmetic circuit by this invention.

[Drawing 10] is drawing showing an example of a polygonal-line approximation function to the square operation by the branch metric arithmetic circuit of this invention.

[Drawing 11] is drawing showing an example of a polygonal-line approximation function to the square operation by the branch metric arithmetic circuit of this invention.

[Drawing 12] is drawing showing an example of the circuitry of the branch metric arithmetic circuit by this invention.

[Drawing 13] is drawing showing the table of truth value of the branch metric arithmetic circuit shown in drawing 12.

[Drawing 14] is drawing showing other configurations of the branch metric arithmetic circuit by this invention.

[Drawing 15] is drawing showing an example of a polygonal-line approximation function to the square operation by the branch metric arithmetic circuit of this invention.

[Drawing 16] is drawing showing an example of a polygonal-line approximation function to the square operation by the branch metric arithmetic circuit of this invention.

[Drawing 17] is drawing showing an example of the circuitry of the branch metric arithmetic circuit by this invention.

[Drawing 18] is drawing showing the table of truth value of the branch metric arithmetic circuit shown in drawing 17.

[Drawing 19] is drawing showing an example of a polygonal-line approximation function to the square operation by the branch metric arithmetic circuit of this invention.

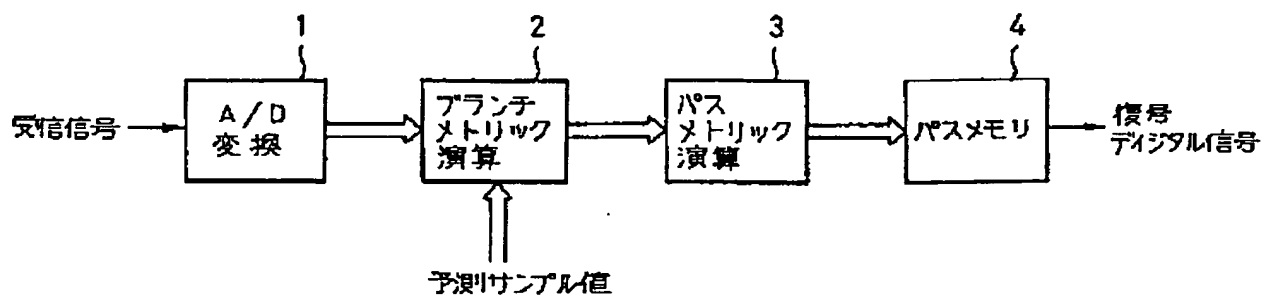
[Description of Notations in the Main Part]

2 Branch Metric Arithmetic Circuit

21 Subtractor

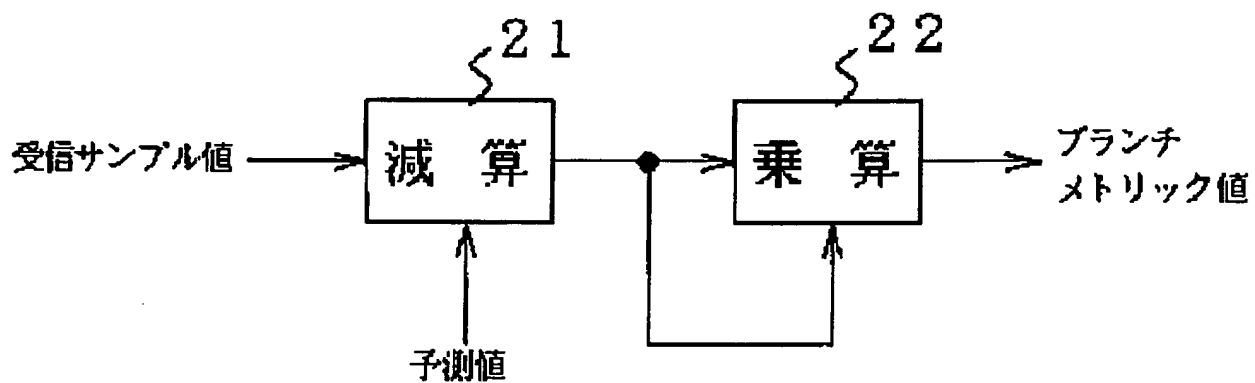
23 Polygonal-Line Conversion Circuit

Drawing 1

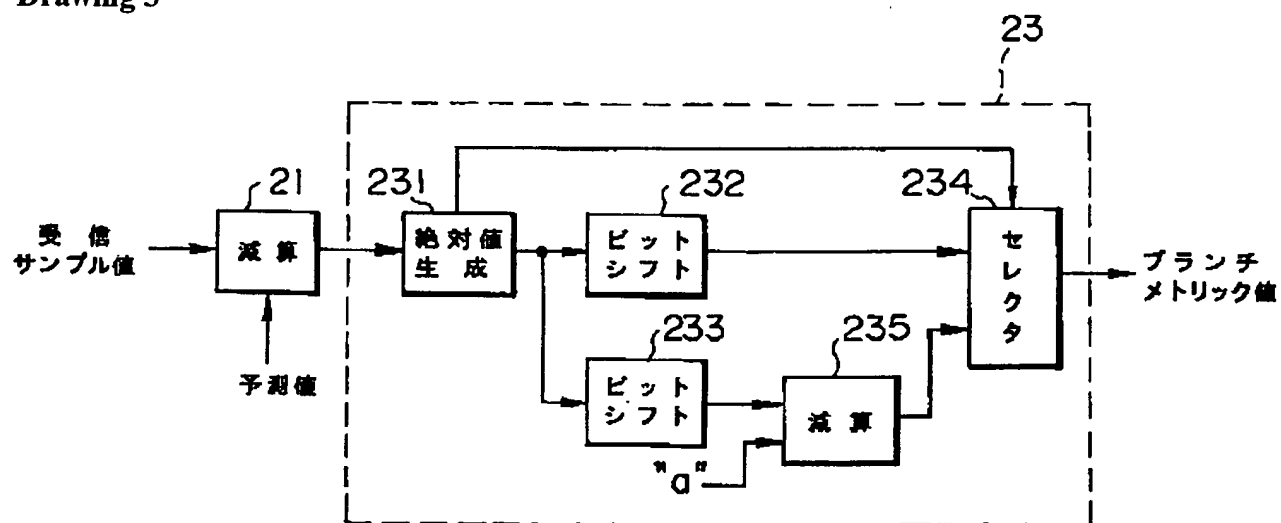


Drawing 2

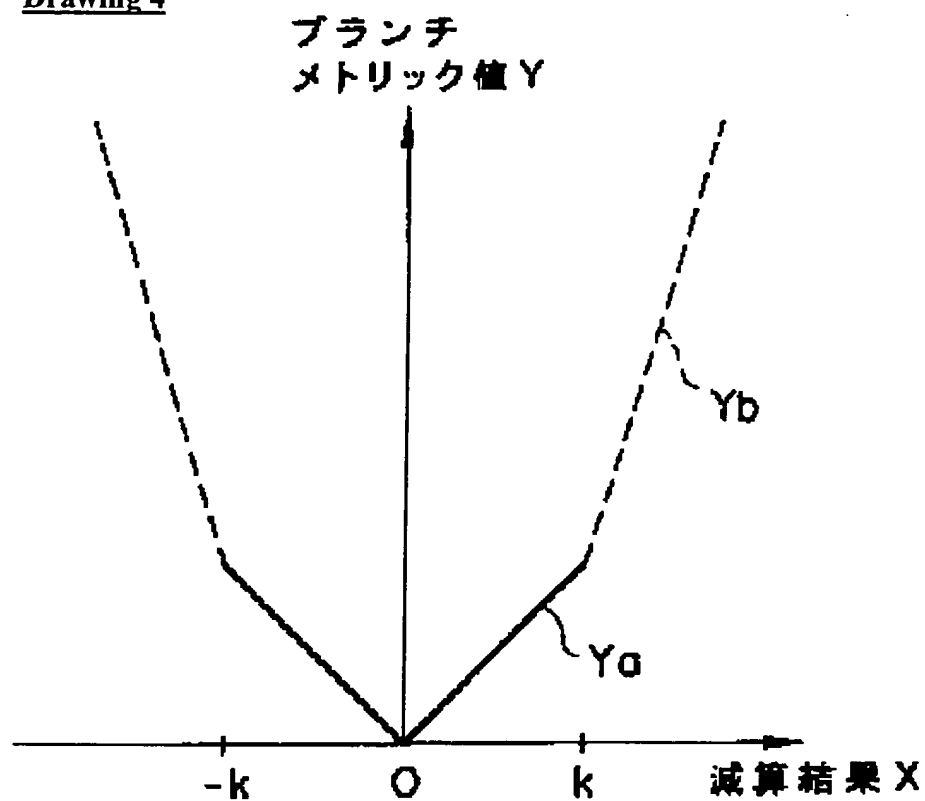
2



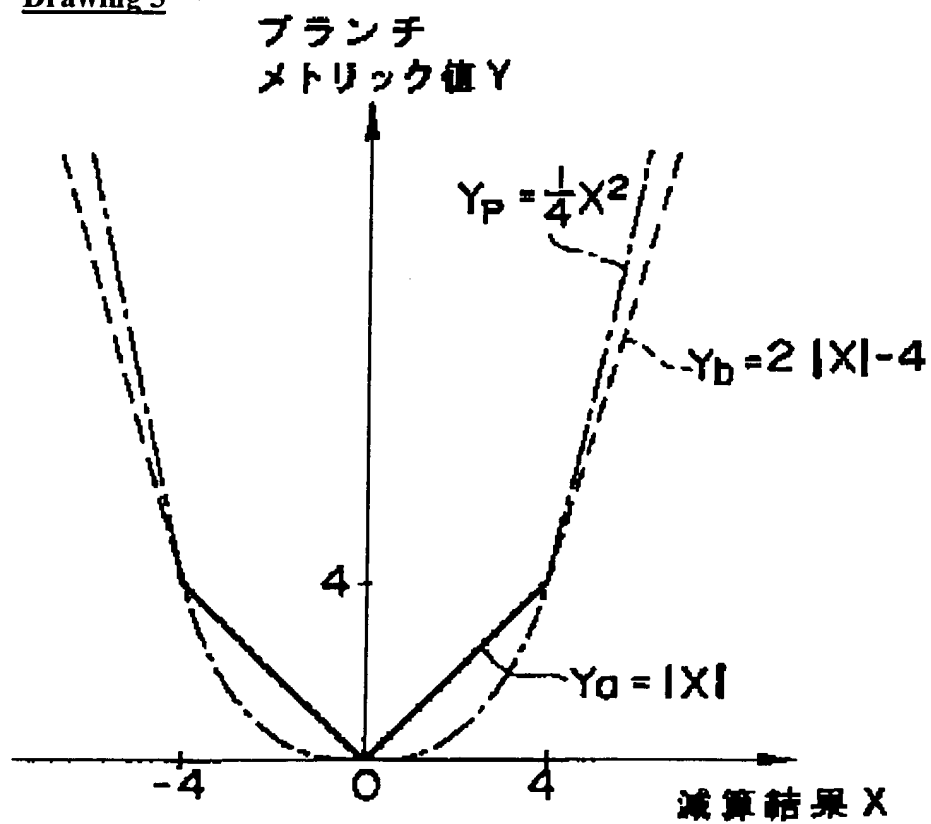
Drawing 3



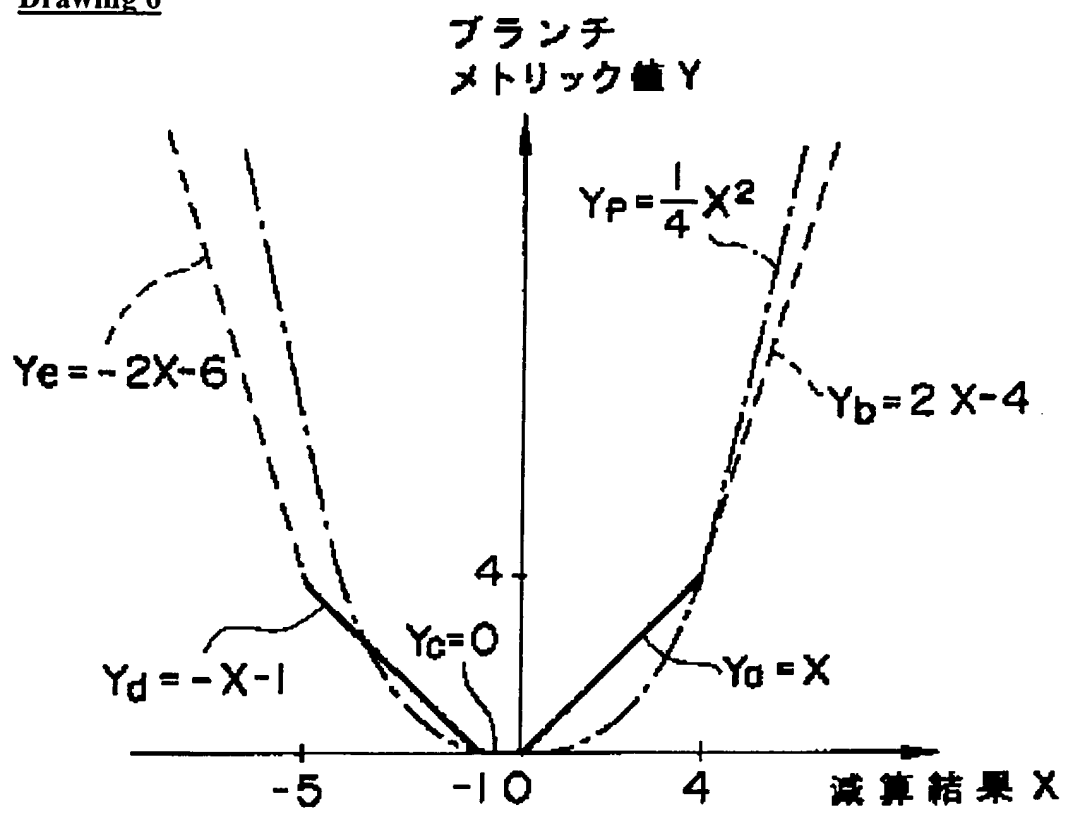
Drawing 4

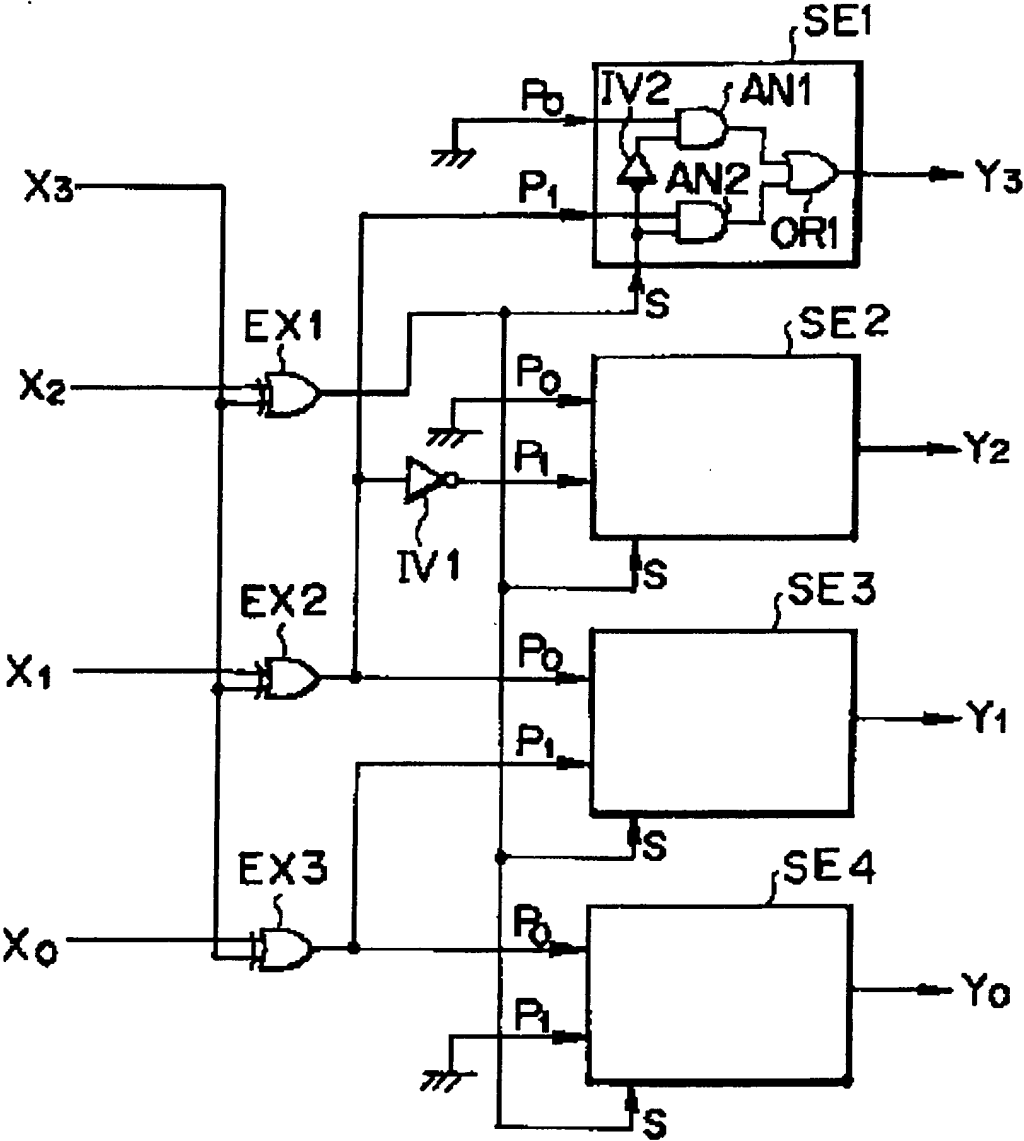


Drawing 5



Drawing 6





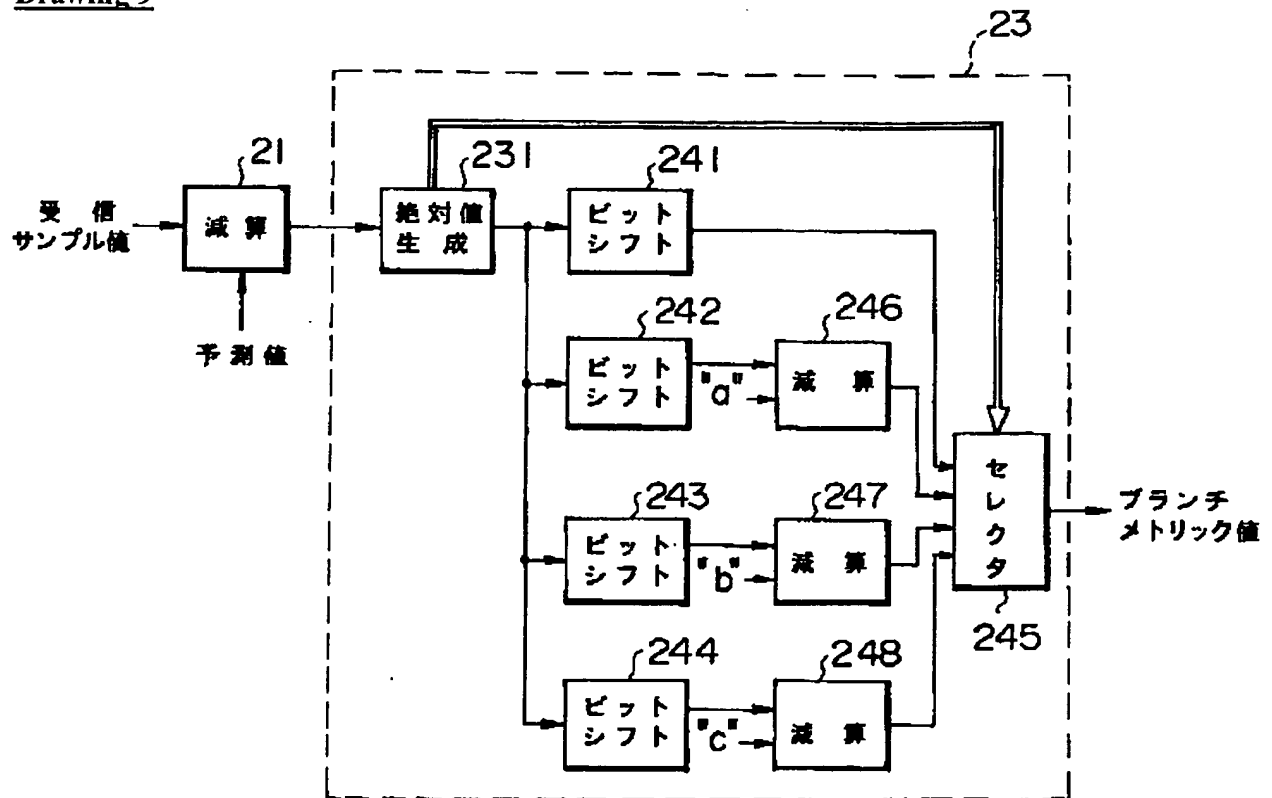
Drawing 8

減算結果 X					ブランチメトリック値 Y				
2進 (2'sc) X ₃ X ₂ X ₁ X ₀				10進	2進 (SB) Y ₃ Y ₂ Y ₁ Y ₀				10進
0	1	1	1	7	1	0	1	0	10
0	1	1	0	6	1	0	0	0	8
0	1	0	1	5	0	1	1	0	6
0	1	0	0	4	0	1	0	0	4
0	0	1	1	3	0	0	1	1	3
0	0	1	0	2	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1
0	0	0	0	0	0	0	0	0	0
1	1	1	1	-1	0	0	0	0	0
1	1	1	0	-2	0	0	0	1	1
1	1	0	1	-3	0	0	1	0	2
1	1	0	0	-4	0	0	1	1	3
1	0	1	1	-5	0	1	0	0	4
1	0	1	0	-6	0	1	1	0	6
1	0	0	1	-7	1	0	0	0	8
1	0	0	0	-8	1	0	1	0	10

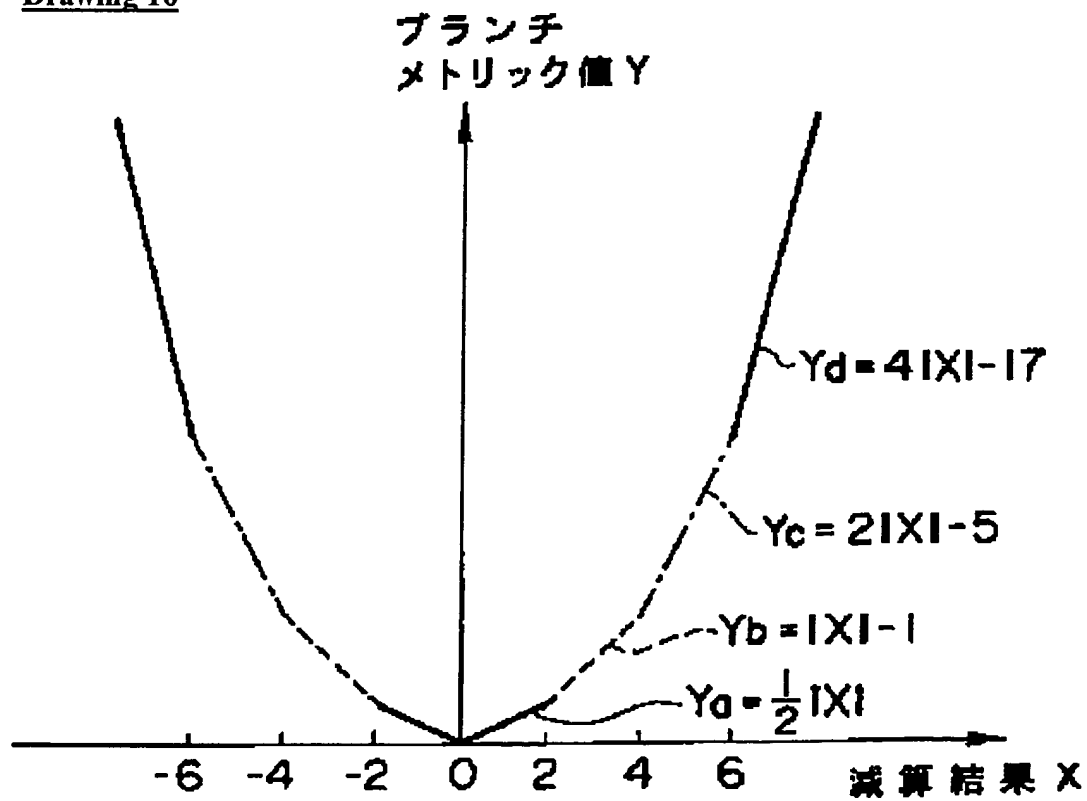
2'sc : 2's complement
(2の補数)

SB : Straight Binary
(ストレート バイナリ)

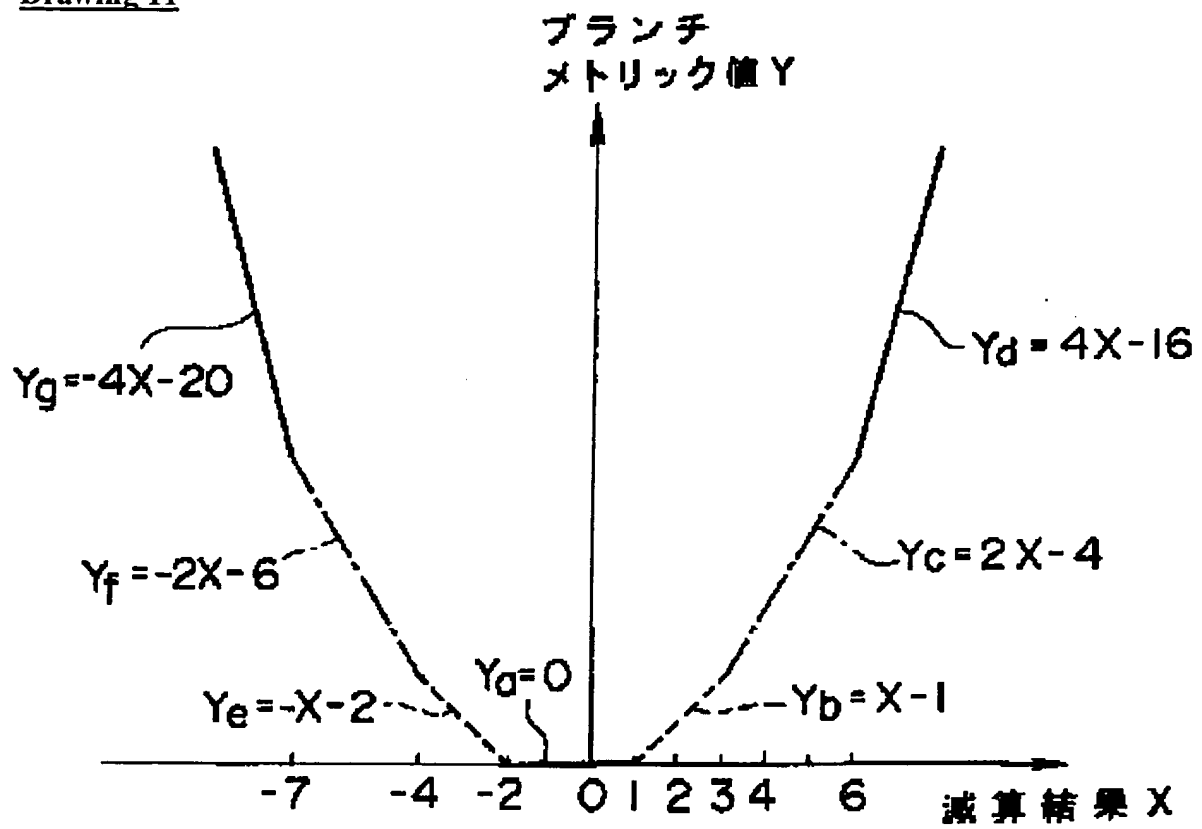
Drawing 9

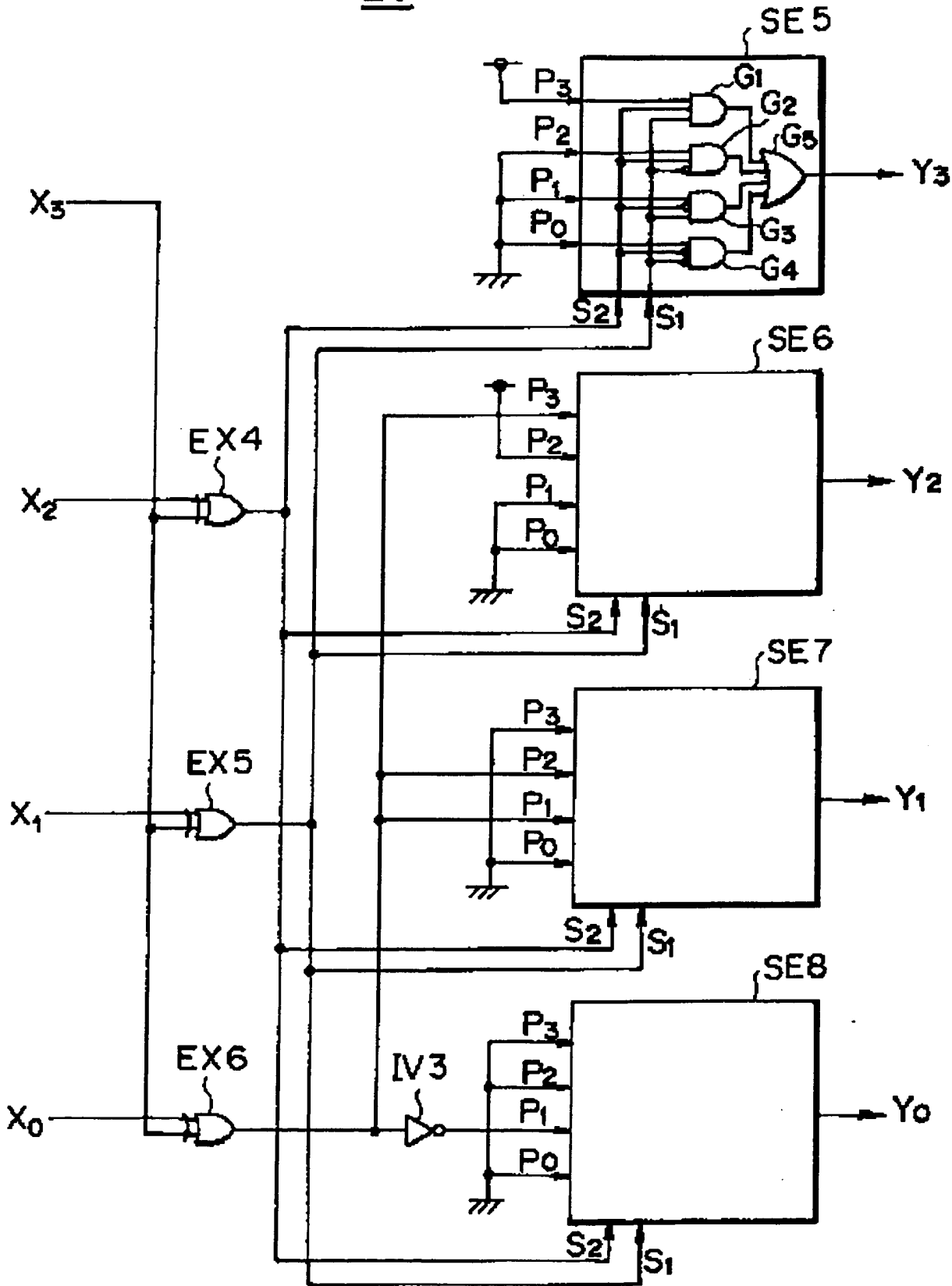


Drawing 10



Drawing 11

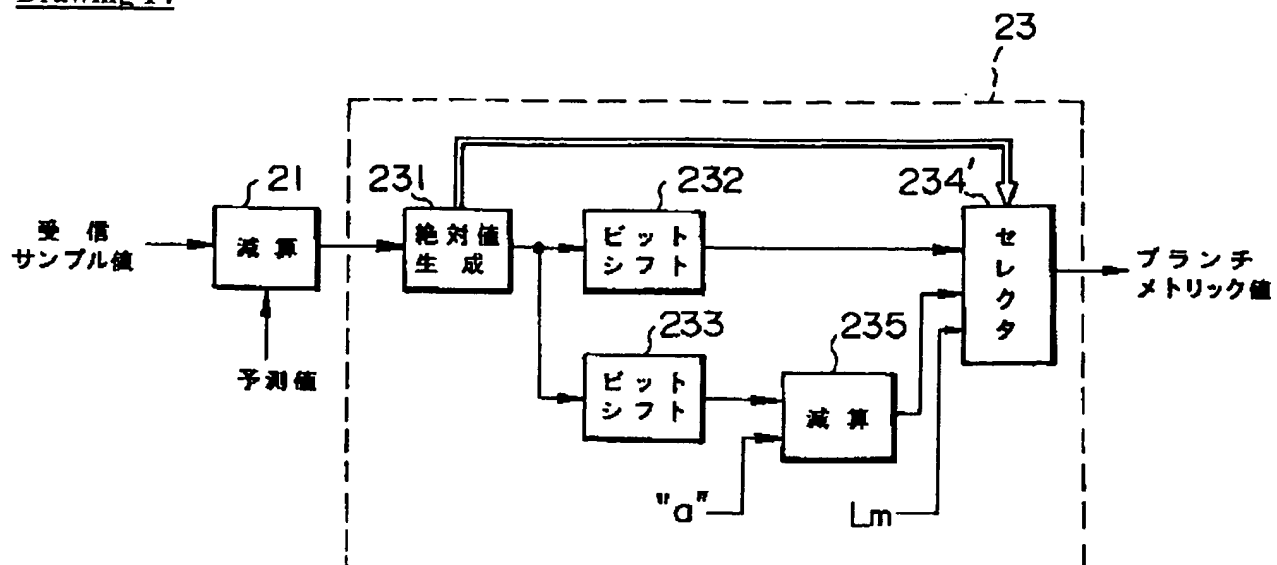




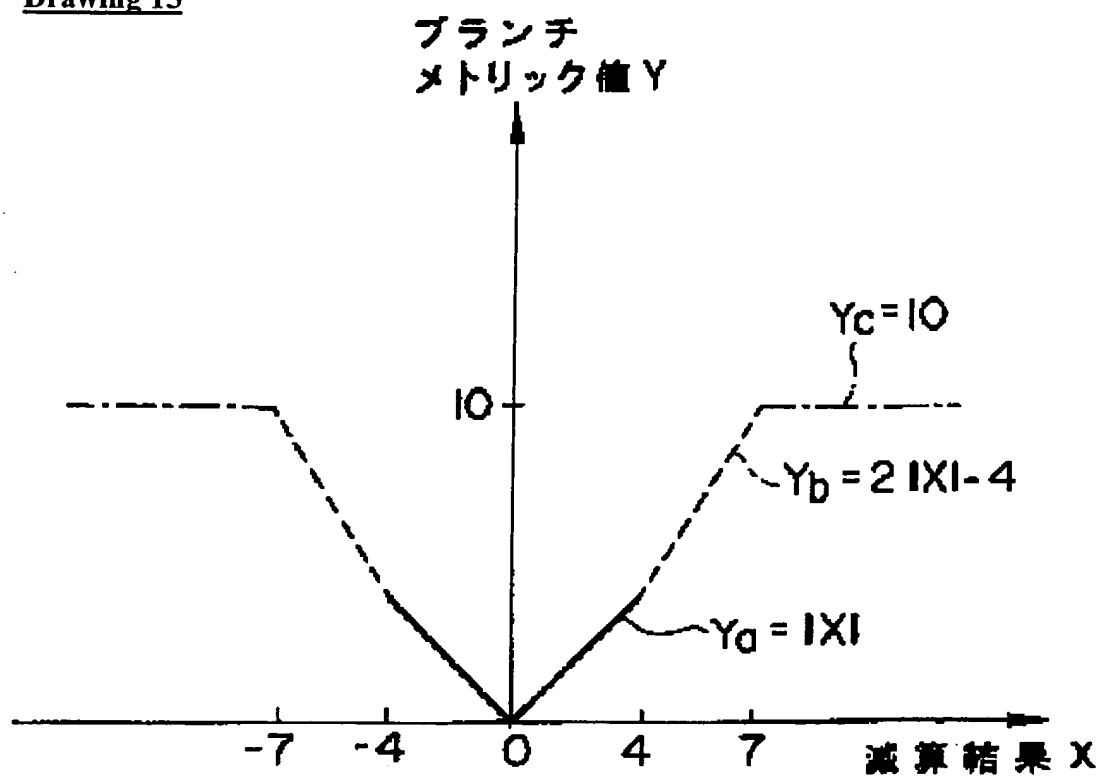
Drawing 13

減算結果 X					ブランチメトリック値 Y				
2進 (2'sc) X ₃ X ₂ X ₁ X ₀				10進	2進 (SB) Y ₃ Y ₂ Y ₁ Y ₀				10進
0	1	1	1	7	1	1	0	0	12
0	1	1	0	6	1	0	0	0	8
0	1	0	1	5	0	1	1	0	6
0	1	0	0	4	0	1	0	0	4
0	0	1	1	3	0	0	1	0	2
0	0	1	0	2	0	0	0	1	1
0	0	0	1	1	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
1	1	1	1	-1	0	0	0	0	0
1	1	1	0	-2	0	0	0	0	0
1	1	0	1	-3	0	0	0	1	1
1	1	0	0	-4	0	0	1	0	2
1	0	1	1	-5	0	1	0	0	4
1	0	1	0	-6	0	1	1	0	6
1	0	0	1	-7	1	0	0	0	8
1	0	0	0	-8	1	1	0	0	12

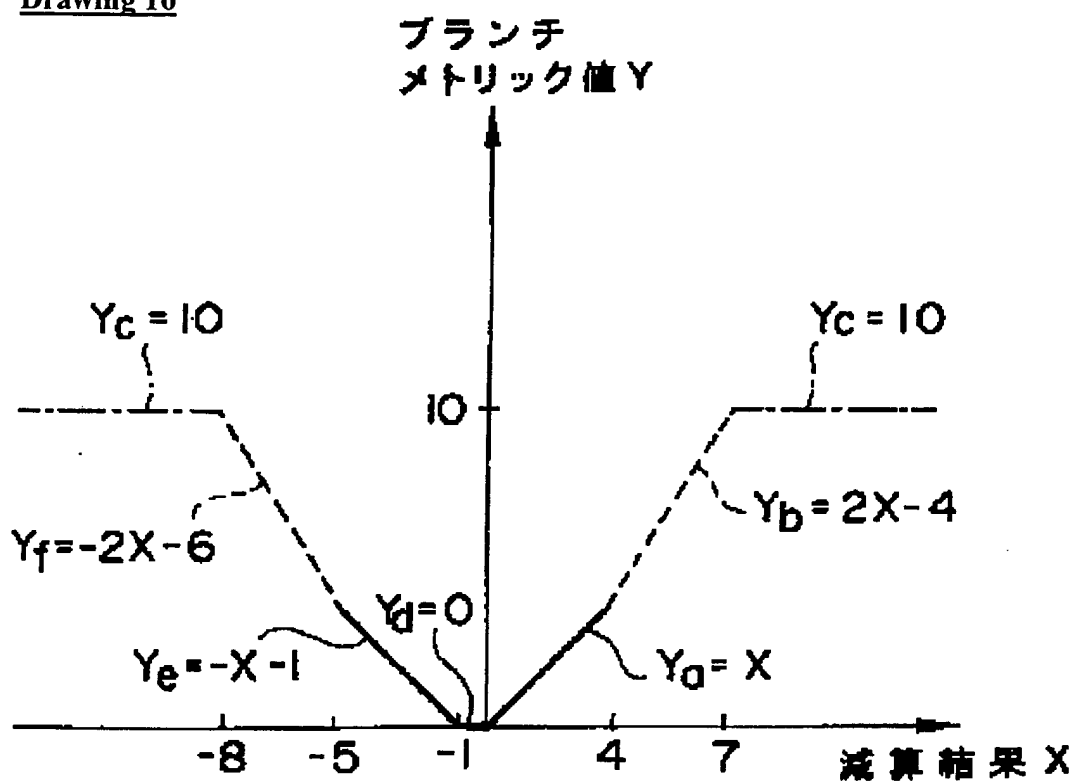
Drawing 14

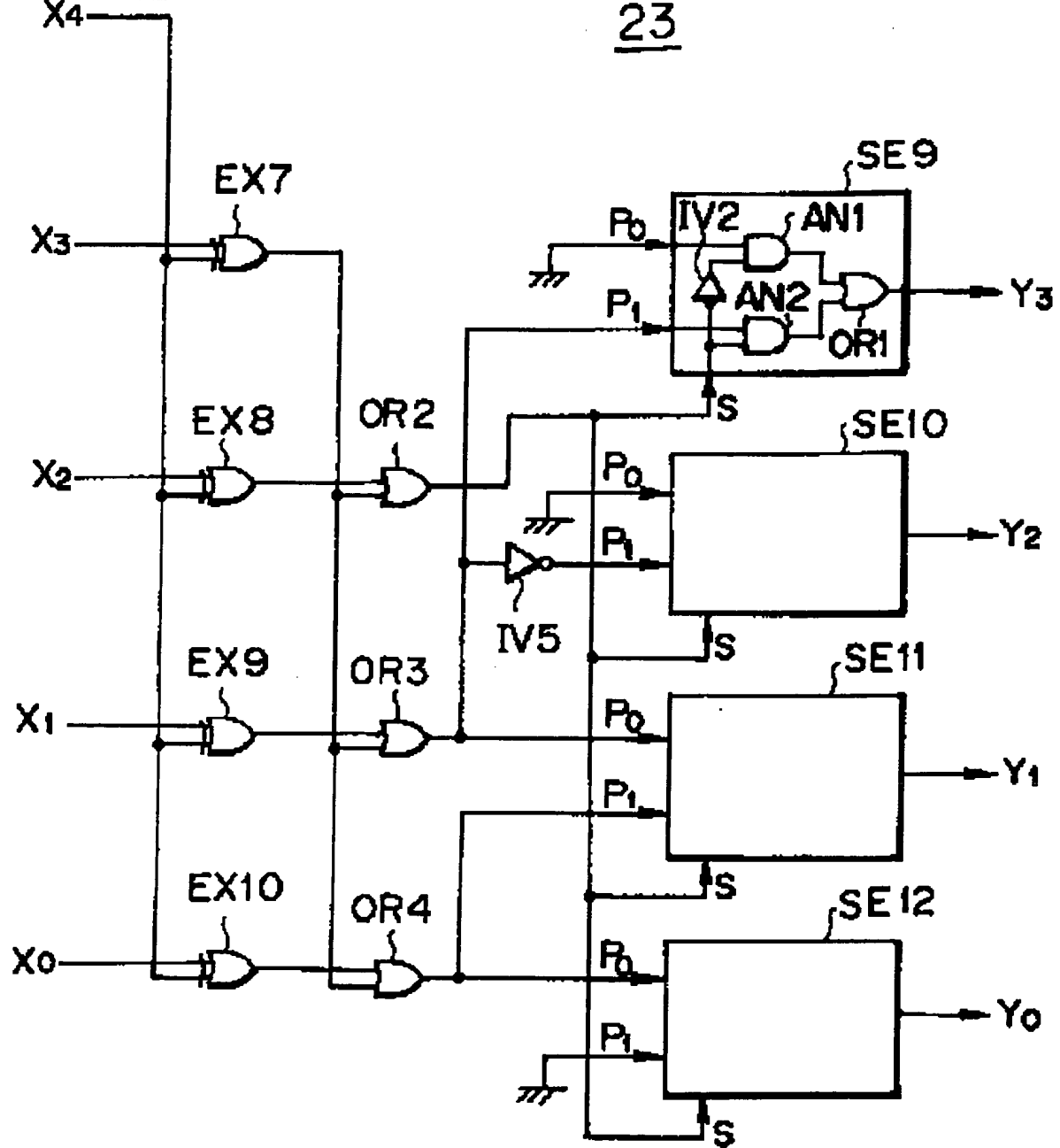


Drawing 15



Drawing 16

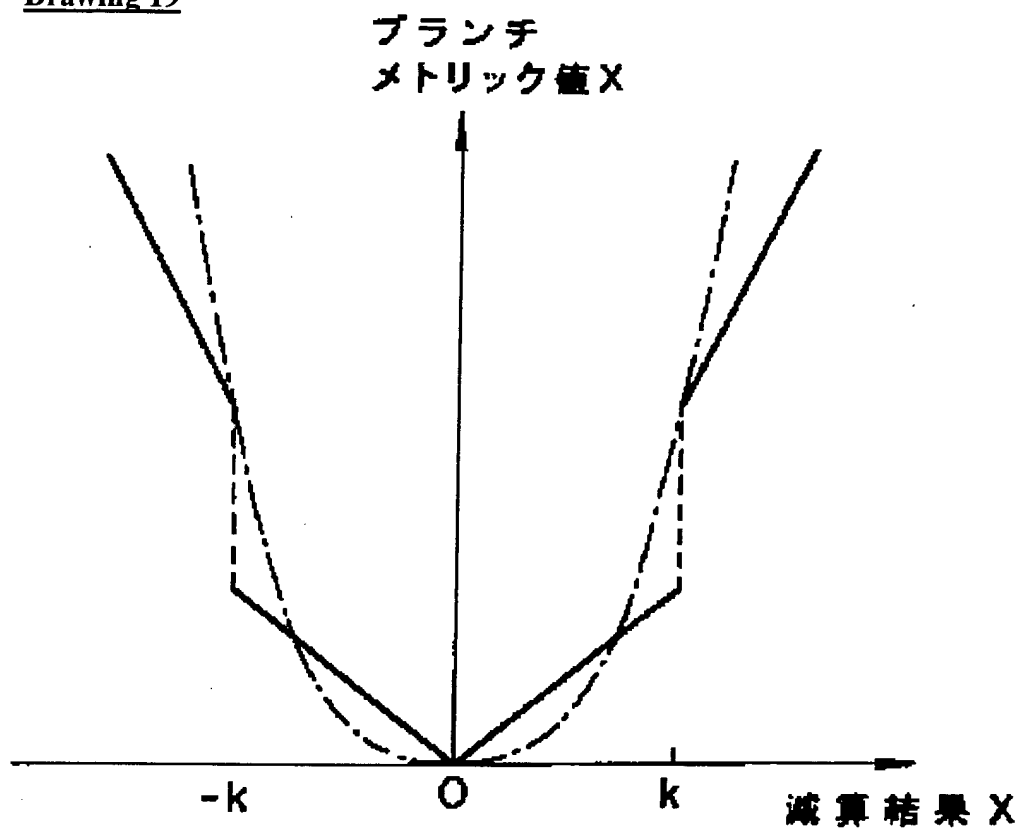




Drawing 18

減算結果 X						ブランチメトリック値 Y					
2進(2sc)					10進	2進(SB)				10進	
X4	X3	X2	X1	X0		Y3	Y2	Y1	Y0		
0	1	1	1	1	15	1	0	1	0	10	
0	1	1	1	0	14	1	0	1	0	10	
0	1	1	0	1	13	1	0	1	0	10	
0	1	1	0	0	12	1	0	1	0	10	
0	1	0	1	1	11	1	0	1	0	10	
0	1	0	1	0	10	1	0	1	0	10	
0	1	0	0	1	9	1	0	1	0	10	
0	1	0	0	0	8	1	0	1	0	10	
0	0	1	1	1	7	1	0	1	0	10	
0	0	1	1	0	6	1	0	0	0	8	
0	0	1	0	1	5	0	1	1	0	6	
0	0	1	0	0	4	0	1	0	0	4	
0	0	0	1	1	3	0	0	1	1	3	
0	0	0	1	0	2	0	0	1	0	2	
0	0	0	0	1	1	0	0	0	1	1	
0	0	0	0	0	0	0	0	0	0	0	
1	1	1	1	1	-1	0	0	0	0	0	
1	1	1	1	0	-2	0	0	0	1	1	
1	1	1	0	1	-3	0	0	1	0	2	
1	1	1	0	0	-4	0	0	1	1	3	
1	1	0	1	1	-5	0	1	0	0	4	
1	1	0	1	0	-6	0	1	1	0	6	
1	1	0	0	1	-7	1	0	0	0	8	
1	1	0	0	0	-8	1	0	1	0	10	
1	0	1	1	1	-9	1	0	1	0	10	
1	0	1	1	0	-10	1	0	1	0	10	
1	0	1	0	1	-11	1	0	1	0	10	
1	0	1	0	0	-12	1	0	1	0	10	
1	0	0	1	1	-13	1	0	1	0	10	
1	0	0	1	0	-14	1	0	1	0	10	
1	0	0	0	1	-15	1	0	1	0	10	
1	0	0	0	0	-16	1	0	1	0	10	

Drawing 19



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172366

(43) 公開日 平成8年(1996)7月2日

(51) Int. Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 M 13/12		8730-5K		
G 1 1 B 20/18	5 3 4 A	8940-5D		

審査請求 未請求 請求項の数 3 O L (全 11 頁)

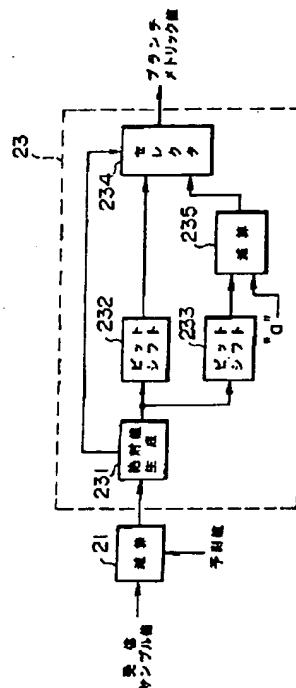
(21) 出願番号	特願平6-314922	(71) 出願人	000005016 バイオニア株式会社 東京都目黒区目黒1丁目4番1号
(22) 出願日	平成6年(1994)12月19日	(72) 発明者	林 英樹 埼玉県鶴ヶ島市富士見6丁目1番1号バイオニア株式会社総合研究所内
		(74) 代理人	弁理士 藤村 元彦

(54) 【発明の名称】 ビタビ復号器におけるブランチメトリック演算回路

(57) 【要約】

【目的】 小なる回路規模にて高速復号処理が可能なビタビ復号器におけるブランチメトリック演算回路を提供することを目的とする。

【構成】 受信サンプル値と予測サンプル値との減算結果値の2乗値を求めるための2乗演算を、複数の1次関数による折れ線近似にて行う。



1

2

【特許請求の範囲】

【請求項1】 受信値と予測値との2乗誤差をブランチメトリックとして得て前記ブランチメトリックに基づいて復号データ系列を得るビタビ復号器におけるブランチメトリック演算回路であって、

前記受信値と前記予測値との減算を行って減算値を得る減算手段と、

2乗演算に対する折れ線近似関数にて前記減算値を変換して得られた値を前記ブランチメトリックとする折れ線変換手段とを有することを特徴とするビタビ復号器におけるブランチメトリック演算回路。

【請求項2】 前記折れ線近似関数は、互いに異なる複数の1次関数からなることを特徴とする請求項1記載のビタビ復号器におけるブランチメトリック演算回路。

【請求項3】 前記1次関数の傾きは 2^N (N は整数)であることを特徴とする請求項2記載のビタビ復号器におけるブランチメトリック演算回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、データ伝送システム、もしくは記録媒体に記録されている記録情報の再生を行う記録情報再生装置等において、デジタルデータ信号の復号を行うビタビ復号器 (Viterbi Decoder) に関し、特に、かかるビタビ復号器におけるブランチメトリック演算回路に関する。

【0002】

【背景技術】 かかる記録情報再生装置の如き記録再生系において、符号間干渉を受けたデジタルデータ信号を高い信頼性をもって復号する方法にビタビ復号がある。かかるビタビ復号によれば、符号間干渉が大なる場合及び再生信号の S/N が低い場合においても、低い誤り率にてデジタルデータ信号の復号を行うことが出来る。

【0003】 図1は、かかるビタビ復号を実現するビタビ復号器の構成を示す図である。かかる図1において、デジタル信号が記録されている記録媒体から読み取られた読取信号もしくはデジタル伝送システムにおける通信端末から送信されてきた情報信号は、受信信号としてA/D変換器1に供給される。A/D変換器1は、かかる受信信号を所定サンプルタイミングにてサンプリングして順次、受信サンプル値系列に変換してこれをブランチメトリック演算回路2に供給する。

【0004】 ブランチメトリック演算回路2は、かかる受信サンプル値として取り得る理想的な値 (ノイズ等の影響を受けない場合に得られる値) としての複数の予測サンプル値各々と、かかるA/D変換器1から供給された受信サンプル値との2乗誤差値、すなわち、

【0005】

【数1】

$\{ [\text{受信サンプル値}] - [\text{予測サンプル値}] \}^2 \dots (1)$
を求め、これをブランチメトリック値としてバスメトリ

ック演算回路3に供給する。図2は、かかるブランチメトリック演算回路2の内部構成の一例を示す図である。

【0006】 図2において、減算器21は、A/D変換器1から供給された受信サンプル値と、予測サンプル値との減算を行い、この減算結果を乗算器22に供給する。乗算器22は、かかる減算結果の2乗値を求めてこれをブランチメトリック値として得る。ここで、かかるビタビ復号器に上述の受信信号が供給されるまでの伝送路系をPR (1, 1) 伝送系 (パーシャルレスポンス伝送系 クラスI) とすると、時点 k における受信サンプル値 $Y(k)$ は、時点 k における送信サンプル値 $X(k)$ と一時点前の送信サンプル値 $X(k-1)$ とによって予測出来る。すなわち、かかる $X(k)$ と $X(k-1)$ が「0, 0」の時には $Y(k)$ は「0」となり、 $X(k)$ と $X(k-1)$ が「0, 1」もしくは「1, 0」の時には $Y(k)$ は「1」となり、 $X(k)$ と $X(k-1)$ が「1, 1」の時には $Y(k)$ は「2」となるのである。つまり、ビタビ復号器に供給される受信サンプル値 $Y(k)$ は、2つの送信サンプル値 $X(k)$ と $X(k-1)$ とに応じて4通りの予測が出来るのである。

【0007】 この際、ブランチメトリック演算回路2は、これら4つの予測サンプル値各々に対応した4つのブランチメトリック値 $\lambda_{00} \sim \lambda_{11}$ をバスメトリック演算回路3に供給するのである。バスメトリック演算回路3は、ブランチメトリック値毎にその値を順次、累算加算して得られたものをバスメトリック値とし、これらバスメトリック値の中で最も小さい値となるバスを示すバス選択信号をバスメモリ4に供給する。バスメモリ4は、かかるバス選択信号に応じて「0」及び「1」からなる仮判定値を更新させながらこれを復号デジタル信号として出力する。

【0008】 以上の如く、かかるビタビ復号器においては、受信サンプル値と予測サンプル値との2乗誤差をブランチメトリックとして求め、かかるブランチメトリックに基づいて確からしいデジタル信号系列を得るのである。しかしながら、かかる2乗誤差を求めるためには、図2に示される乗算器22を用いた2乗演算処理が不可欠となり、その乗算器内部に生じる桁上げ動作による遅延によりかかる演算処理に費やされる時間は大となる。よって、ビタビ復号全体に費やされる処理時間も、かかる2乗演算処理に費やされる時間に依存して遅くなってしまふという問題が生じた。更に、かかる乗算器22の回路規模が大なるものであるため、上記図1に示されるが如き構成のビタビ復号器をLSI化するにあたり、その製造コストが高くなるという問題があった。

【0009】

【発明が解決しようとする課題】 本発明は、かかる問題を解決すべくなされたものであり、小なる回路規模にて高速復号処理が可能なビタビ復号器におけるブランチメトリック演算回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によるビタビ復号器におけるブランチメトリック演算回路は、受信値と予測値との2乗誤差をブランチメトリックとして得て前記ブランチメトリックに基づいて復号データ系列を得るビタビ復号器におけるブランチメトリック演算回路であって、前記受信値と前記予測値との減算を行って減算値を得る減算手段と、2乗演算に対する折れ線近似関数にて前記減算値を変換して得られた値を前記ブランチメトリックとする折れ線変換手段とを有する。

【0011】

【作用】本発明によるビタビ復号器におけるブランチメトリック演算回路は、受信サンプル値と予測サンプル値との減算結果値の2乗値を求めるための2乗演算を、複数の1次関数による折れ線近似にて行う。

【0012】

【実施例】以下、本発明の実施例について説明する。図3は、本発明によるブランチメトリック演算回路の構成を示す図である。かかる図3において、減算器21は、図1のA/D変換器1から供給された受信サンプル値と、予測サンプル値との減算を行い、この減算結果値を折れ線変換回路23に供給する。

【0013】折れ線変換回路23は、かかる減算結果値を、2乗演算の折れ線近似関数にて変換し、この変換値をブランチメトリック値として得る。この際、かかる減算結果値をXとすると、上記折れ線近似関数は下記の1次関数Ya及びYbにて示される。

【0014】

【数2】

$$Y_a = 2^i \cdot |X| \quad \text{ただし} \quad |X| < t$$

$$Y_b = 2^j \cdot |X| - a \quad \text{ただし} \quad |X| \geq t$$

図3における折れ線変換回路23においては、上記減算結果値Xの絶対値 $|X|$ を絶対値生成回路231にて求め、この絶対値 $|X|$ をビットシフト回路232にてiビット分だけビットシフトすることにより上記1次関数Yaを実現している。一方、ビットシフト回路233にて上記絶対値 $|X|$ をjビット分だけビットシフトして得られた値から、所定定数aを減算器235にて減算することにより上記1次関数Ybを実現している。

【0015】この際、セレクト234は、上記絶対値 $|X|$ の値がtよりも小なる場合は、上記ビットシフト回路232にて上述の如くビットシフトされて得られた値をブランチメトリック値とする一方、絶対値 $|X|$ の値が所定値t以上の場合は、ビットシフト回路233にてビットシフトされた値から所定定数aを減算して得られた値をブランチメトリック値とする。

【0016】図4は、かかる折れ線変換回路23にて為される2乗演算に対する折れ線近似関数を示す図である。図4に示されるが如く、減算結果値Xの絶対値が所定値tよりも小なる場合は、その傾きが 2^i である1次

関数Ya（実線にて示す）を用いてこの減算結果値Xを変換してこれをブランチメトリック値Yとする一方、減算結果値Xの絶対値が所定値t以上の場合は、その傾きが 2^j である1次関数Yb（破線にて示す）を用いてかかる減算結果値Xを変換してこれをブランチメトリック値Yとするのである。

【0017】図5は、2乗演算を $Y_p = (1/4) \cdot X^2$ とした場合に適用される折れ線近似関数の一例を示す図である。かかる図5においては、上記減算結果値Xを4ビットで表される整数値（-8〜7）とし、この際、上記1次関数Yaのi=0、上記1次関数Ybのj=1、a=4、更に、tを絶対値 $|X|$ の最大値の（1/2）、すなわち4とした場合における折れ線近似関数を示している。

【0018】従って、この際、かかる折れ線近似関数は、

【0019】

【数3】

$$Y_a = |X| \quad \text{ただし} \quad |X| < 4$$

$$Y_b = 2 \cdot |X| - 4 \quad \text{ただし} \quad |X| \geq 4$$

となる。この際、図3に示される絶対値生成回路231は、減算器21から供給された減算結果値Xの4ビットの内、最上位ビットの論理値が「0」、すなわち減算結果値Xの値が7以下の正の整数である場合には、この減算結果値Xをそのまま絶対値 $|X|$ としてビットシフト回路232及び233の各々に供給する一方、かかる最上位ビットの論理値が「1」、すなわち減算結果値Xの値が-8以上の負の整数である場合には、この減算結果値Xの全てのビット論理を反転したものに1を加算した値を絶対値 $|X|$ としてビットシフト回路232及び233の各々に供給するのである。ここで、上述の如く、ビットシフト回路232におけるi=0としたので、この際、ビットシフト回路232はかかる絶対値 $|X|$ をビットシフトせずにそのままセレクト234に供給する。一方、ビットシフト回路233は、かかる絶対値 $|X|$ を1ビットだけ最上位側にビットシフトして得られた値を減算器235に供給する。減算器235は、この値から4だけ減算した値をセレクト234に供給する。かかるセレクト234は、絶対値 $|X|$ の値が4よりも小なる場合は、上記ビットシフト回路232にて上述の如くビットシフトされて得られた値をブランチメトリック値とする一方、絶対値 $|X|$ の値が4以上の場合は、ビットシフト回路233にてビットシフトされた値から所定定数aを減算して得られた値をブランチメトリック値とする。

【0020】以上の如く、本発明においては、ブランチメトリック値の累和が最小となる系列を選択することにより確からしいデータ系列の復号を行うというビタビ復号の動作に鑑みて、ブランチメトリック演算回路の2乗演算を複数の1次関数による折れ線近似にて実現する構

5

成としている。すなわち、ビタビ復号においては、ブランチメトリックの値そのものは重要ではなく、複数の復号系列各々に対応して得られたブランチメトリック値の内いずれが最も小なる値であるかを判定することが重要なのである。つまり、各ブランチメトリックの相対的な大小比較が行えれば良いので、2乗演算にてブランチメトリック値を求めずとも、上記の如き複数の1次関数による折れ線近似にてブランチメトリック値を求めるようにしてもその復号精度が落ちることは無いのである。

【0021】よって、本発明によれば、乗算器を用いた2乗演算処理にてブランチメトリック値を求めるようにしたブランチメトリック演算回路に比して、高速処理が可能となるのである。尚、上記図5に示される実施例では、減算結果値Xが正の整数の場合及び負の整数の場合各々において、その変換関数の形態を対称としているが、非対称としても構わない。

【0022】図6は、かかる点に鑑みてなされた折れ線近似関数の一例を示す図である。図6に示される折れ線近似関数においては、以下の如き5つの1次関数Ya~Yeにて構成されている。

【0023】

【数4】

$$\begin{aligned} Y_a &= X & \text{ただし} & \quad 0 \leq X < 4 \\ Y_b &= 2 \cdot X - 4 & \text{ただし} & \quad 4 \leq X \\ Y_c &= 0 & \text{ただし} & \quad -1 \leq X < 0 \\ Y_d &= -X - 1 & \text{ただし} & \quad -5 \leq X < -1 \\ Y_e &= -2 \cdot X - 6 & \text{ただし} & \quad X < -5 \end{aligned}$$

図7は、かかる5つの1次関数Ya~Yeにてブランチメトリック値を得る折れ線変換回路23の回路構成の一例を示す図である。又、図8は、かかる図7に示されるが如き回路の真理値表を示す図である。

【0024】図7において、図3にて示される減算器21から供給された減算結果値Xの各ビットX₀~X₃は、排他的論理和回路EX1~EX3に供給される。排他的論理和回路EX1は、減算結果値XにおけるビットX₂及びX₃の排他的論理和出力をセレクトA SE1~SE4各々の選択端Sに供給する。排他的論理和回路EX2は、減算結果値XにおけるビットX₁及びX₃の排他的論理和出力を、セレクトA SE1の入力端P₁、セレクトA SE3の入力端P₀、及びインバータIV1の各々に供給する。インバータIV1は、この排他的論理和回路EX2から供給された排他的論理和出力の論理値を反転してこれをセレクトA SE2の入力端P₁に供給する。排他的論理和回路EX3は、減算結果値XにおけるビットX₀及びX₃の排他的論理和出力を、セレクトA SE3の入力端P₁、セレクトA SE4の入力端P₀の各々に供給する。

【0025】セレクトA SE1~SE4は、各々インバータIV2、アンドゲートAN1及びAN2、オアゲートOR1からなる2T01セレクトであり、その選択端Sに論理値「0」の信号が供給された場合は、入力端P₀に

6

供給された信号を選択してこれをブランチメトリック値Y₀~Y₃とする一方、選択端Sに論理値「1」の信号が供給された場合は、入力端P₁に供給された信号を選択してこれをブランチメトリック値Y₀~Y₃とする。

【0026】以上の如く、図6にて示される折れ線近似関数は、図7に示されるように、比較的小規模な論理回路にて実現出来るのである。尚、上記実施例においては、2段階の折れ線にて2乗演算に対する折れ線近似を実現しているがこの2段階に限定されるものではない。図9は、4段階の折れ線にて、2乗演算に対する折れ線近似を行う折れ線変換回路23を備えたブランチメトリック演算回路の構成を示す図である。

【0027】かかる図9において、減算器21は、図1のA/D変換器1から供給された受信サンプル値と、予測サンプル値との減算を行いこの減算結果値を折れ線変換回路23に供給する。折れ線変換回路23は、かかる減算結果値を2乗演算に対する折れ線近似関数にて変換してこの変換値をブランチメトリック値として得る。この際、かかる折れ線近似関数は下記の1次関数Ya~Ydにて示される。

【0028】

【数5】

$$\begin{aligned} Y_a &= 2^{i_1} \cdot |X| & \text{ただし} & \quad |X| < t_1 \\ Y_b &= 2^{j_1} \cdot |X| - a & \text{ただし} & \quad t_1 \leq |X| < t_2 \\ Y_c &= 2^{k_1} \cdot |X| - b & \text{ただし} & \quad t_2 \leq |X| < t_3 \\ Y_d &= 2^{l_1} \cdot |X| - c & \text{ただし} & \quad t_3 \leq |X| \end{aligned}$$

図9に示される折れ線変換回路23においては、上記減算結果値Xの絶対値|X|を絶対値生成回路231にて求め、この絶対値|X|をビットシフト回路241にてiビット分だけビットシフトすることにより上記1次関数Yaを実現している。一方、ビットシフト回路242にて上記絶対値|X|をjビット分だけビットシフトして得られた値から、所定定数aを減算器246にて減算することにより上記1次関数Ybを実現している。又、ビットシフト回路243にて上記絶対値|X|をkビット分だけビットシフトして得られた値から、所定定数bを減算器247にて減算することにより上記1次関数Ycを実現している。更に、ビットシフト回路244にて上記絶対値|X|をlビット分だけビットシフトして得られた値から、所定定数cを減算器248にて減算することにより上記1次関数Ydを実現している。

【0029】この際、セレクトA 245は、上記絶対値|X|の値がt₁よりも小なる場合は、上記ビットシフト回路241にて上述の如くビットシフトされて得られた値をブランチメトリック値とする。又、セレクトA 245は絶対値|X|の値がt₁以上でありかつt₂未満の場合は、ビットシフト回路242にてビットシフトされた値から所定定数aを減算して得られた値をブランチメトリック値とする。又、セレクトA 245は絶対値|X|の値がt₂以上でありかつt₃未満の場合は、ビットシフト回

7

路243にてビットシフトされた値から所定定数bを減算して得られた値をブランチメトリック値とする。又、セクタ245は絶対値 $|X|$ の値が t_3 より大なる場合は、ビットシフト回路244にてビットシフトされた値から所定定数cを減算して得られた値をブランチメトリック値とする。

【0030】図10は、上記 $i=-1$ 、 $j=0$ 、 $k=1$ 、 $l=2$ 、 $a=1$ 、 $b=5$ 、 $c=17$ として、更に、*

$$Y_a = (1/2) \cdot |X|$$

$$Y_b = |X| - 1$$

$$Y_c = 2 \cdot |X| - 5$$

$$Y_d = 4 \cdot |X| - 17$$

又、7段階の折れ線にて、2乗演算に対する折れ線近似を行う折れ線近似関数の例を図11にて示す。

【0032】図11に示される折れ線近似関数は、以下の如き7つの1次関数 $Y_a \sim Y_g$ にて構成されている。

【0033】

【数7】

$$\begin{array}{ll} Y_a = 0 & \text{ただし } -2 < X \leq 1 \\ Y_b = X - 1 & \text{ただし } 1 < X \leq 3 \\ Y_c = 2 \cdot X - 4 & \text{ただし } 3 \leq X < 6 \\ Y_d = 4 \cdot X - 16 & \text{ただし } 6 \leq X \\ Y_e = -X - 2 & \text{ただし } -4 < X \leq -2 \\ Y_f = -2 \cdot X - 6 & \text{ただし } -7 < X \leq -4 \\ Y_g = -4 \cdot X - 20 & \text{ただし } X \leq -7 \end{array}$$

図12は、かかる7つの1次関数 $Y_a \sim Y_g$ にてブランチメトリック値を得る折れ線変換回路23の回路構成の一例を示す図である。又、図13は、かかる図12に示されるが如き回路の真理値表を示す図である。

【0034】図12において、図9にて示される減算器21から供給された減算結果値 X の各ビット $X_0 \sim X_3$ は、排他的論理和回路 $E X 4 \sim E X 6$ に供給される。排他的論理和回路 $E X 4$ は、減算結果値 X におけるビット X_2 及び X_3 の排他的論理和出力をセクタ $SE 5 \sim SE 8$ 各々の選択端 $S 2$ に供給する。排他的論理和回路 $E X 5$ は、減算結果値 X におけるビット X_1 及び X_3 の排他的論理和出力をセクタ $SE 5 \sim SE 8$ 各々の選択端 $S 1$ に供給する。排他的論理和回路 $E X 6$ は、減算結果値 X におけるビット X_0 及び X_3 の排他的論理和出力をセクタ $SE 6$ の入力端 P_3 、セクタ $SE 7$ の入力端 P_1 及び P_2 、及びインバータ $IV 3$ の各々に供給する。インバータ $IV 3$ は、この排他的論理和回路 $E X 6$ から供給された排他的論理和出力の論理値を反転してこれをセクタ $SE 8$ の入力端 P_1 に供給する。

【0035】セクタ $SE 5 \sim SE 8$ は、各々、図に示されるが如きゲート $G 1 \sim G 5$ からなる4T01セクタであり、その選択端 $S 1$ 及び $S 2$ に夫々論理値「0、0」の信号が供給された場合は、入力端 P_0 に供給された信号を選択してこれをブランチメトリック値 $Y_0 \sim Y_3$ とする。又、セクタ $SE 5 \sim SE 8$ は、その選択端 S ※50

8

* 上記 t_1 を絶対値 $|X|$ の最大値の $(1/4)$ である2、上記 t_2 を絶対値 $|X|$ の最大値の $(1/2)$ である4、上記 t_3 を絶対値 $|X|$ の最大値の $(3/4)$ である6とした場合における折れ線近似関数を示す図である。この際、かかる折れ線近似関数は下記の如きものとなる。

【0031】

【数6】

$$\text{ただし } |X| < 2$$

$$\text{ただし } 2 \leq |X| < 4$$

$$\text{ただし } 4 \leq |X| < 6$$

$$\text{ただし } 6 \leq |X|$$

※1及び $S 2$ に夫々論理値「1、0」の信号が供給された場合は、入力端 P_1 に供給された信号を選択してこれをブランチメトリック値 $Y_0 \sim Y_3$ とする。又、セクタ $SE 5 \sim SE 8$ は、その選択端 $S 1$ 及び $S 2$ に夫々論理値「0、1」の信号が供給された場合は、入力端 P_2 に供給された信号を選択してこれをブランチメトリック値 $Y_0 \sim Y_3$ とする。又、セクタ $SE 5 \sim SE 8$ は、その選択端 $S 1$ 及び $S 2$ に夫々論理値「1、1」の信号が供給された場合は、入力端 P_3 に供給された信号を選択してこれをブランチメトリック値 $Y_0 \sim Y_3$ とする。

【0036】以上の如く、図11にて示される折れ線近似関数は、かかる図12に示されるように、比較的小規模な論理回路にて実現出来るのである。又、上述した如き折れ線近似関数によるブランチメトリックの演算において、そのブランチメトリック値の最大値を制限するようにしても良い。すなわち、ある程度以上大きなブランチメトリックを有するブランチ及びこのブランチを含むパスが最終的に選択される確率は極めて低いため、ブランチメトリック値の最大値を制限しても復号性能が低下することはないのである。

【0037】図14は、図3にて示されるブランチメトリック演算回路に、ブランチメトリック値の最大値制限を行ういわゆるリミット機能を設けた場合の構成例を示す図である。尚、かかる図14において、図3における各機能ブロックと同一機能ブロックには、同一符号が付されている。かかる図14の構成においては、絶対値生成回路231にて得られた減算結果値 X における絶対値 $|X|$ の値が所定のリミット値よりも大なる場合、セクタ234'は固定値 L_m をブランチメトリック値として出力する。

【0038】図15は、かかるリミット値の上限値を7、下限値を-7、固定値 L_m を10とした場合における折れ線近似関数の一例を示す図である。この際、かかる折れ線近似関数は、

【0039】

【数8】

$$Y_a = |X| \quad \text{ただし } |X| < 4$$

$$Y_b = 2 \cdot |X| - 4 \quad \text{ただし } 4 \leq |X| < 7$$

9

 $Y_c = 10$ ただし $7 \leq |X|$

である。

【0040】図16は、上記リミット値の上限値を7、下限値を-8、固定値 L_m を10とした場合における折れ線近似関数の他の実施例を示す図である。この際、折れ線近似関数は、

【0041】

【数9】

$Y_a = X$ ただし $0 \leq X < 4$
 $Y_b = 2 \cdot X - 4$ ただし $4 \leq X < 7$
 $Y_c = 10$ ただし $7 \leq X$ 、又は $X < -8$
 $Y_d = 0$ ただし $-1 \leq X < 0$
 $Y_e = -X - 1$ ただし $-5 \leq X < -1$
 $Y_f = -2 \cdot X - 6$ ただし $-8 \leq X < -5$

である。

【0042】図17は、かかる6つの1次関数 $Y_a \sim Y_f$ にてブランチメトリック値を得る折れ線変換回路23の回路構成の一例を示す図である。又、図18は、かかる図17に示されるが如き回路の真理値表を示す図である。図17においては、図14にて示される減算器21からビット $X_0 \sim X_4$ からなる5ビットの減算結果値 X が排他的論理和回路 $E X 7 \sim E X 10$ に供給される。排他的論理和回路 $E X 7$ は、減算結果値 X におけるビット X_4 及び X_3 の排他的論理和出力をオアゲート $OR 2 \sim OR 4$ の各々に供給する。排他的論理和回路 $E X 8$ は、減算結果値 X におけるビット X_4 及び X_2 の排他的論理和出力をオアゲート $OR 2$ に供給する。排他的論理和回路 $E X 9$ は、減算結果値 X におけるビット X_4 及び X_1 の排他的論理和出力をオアゲート $OR 3$ に供給する。排他的論理和回路 $E X 10$ は、減算結果値 X におけるビット X_4 及び X_0 の排他的論理和出力をオアゲート $OR 4$ に供給する。オアゲート $OR 2$ は、排他的論理和回路 $E X 7$ 及び $E X 8$ から供給された排他的論理和出力の論理和をセクタ $SE 9 \sim SE 12$ の各々の選択端 S に供給する。オアゲート $OR 3$ は、排他的論理和回路 $E X 7$ 及び $E X 9$ から供給された排他的論理和出力の論理和をセクタ $SE 9$ の入力端 P_1 、セクタ $SE 11$ の入力端 P_0 、及びインバータ $IV 5$ の各々に供給する。インバータ $IV 5$ は、このオアゲート $OR 3$ から供給された論理和の論理値を反転してこれをセクタ $SE 10$ の入力端 P_1 に供給する。オアゲート $OR 4$ は、排他的論理和回路 $E X 7$ 及び $E X 10$ から供給された排他的論理和出力の論理和をセクタ $SE 11$ の入力端 P_1 、セクタ $SE 12$ の入力端 P_0 の各々に供給する。

【0043】セクタ $SE 9 \sim SE 12$ は、図7にて示されるセクタ $SE 1 \sim SE 4$ と同一内部構成の2T01セクタであり、その選択端 S に論理値「0」の信号が供給された場合は、入力端 P_0 に供給された信号を選択してこれをブランチメトリック値 $Y_0 \sim Y_3$ とする一方、選択端 S に論理値「1」の信号が供給された場合は、入

10

力端 P_1 に供給された信号を選択してこれをブランチメトリック値 $Y_0 \sim Y_3$ とする。

【0044】以上の如く、ブランチメトリック演算回路にリミット機能を設けることにより、演算に要するビット数を低減することが出来るので、このブランチメトリック演算回路以降、すなわちバスメトリック演算時における回路規模を低減することが可能となる。尚、上記の各実施例においては、折れ線近似関数の各1次関数が連続しているが、図19の実線にて示されるが如く不連続であっても構わない。

【0045】

【発明の効果】以上の如く、本発明によるビタビ復号器におけるブランチメトリック演算回路においては、受信サンプル値と予測サンプル値との減算結果値の2乗値を求めるための2乗演算を、複数の1次関数による折れ線近似にて行う構成としている。よって、本発明によれば、乗算器を用いた2乗演算処理にてブランチメトリック値を求めるようにしたブランチメトリック演算回路に比して、小規模な回路構成にて高速処理が可能となるのである。

【図面の簡単な説明】

【図1】ビタビ復号器の構成を示す図である。

【図2】従来のブランチメトリック演算回路の構成を示す図である。

【図3】本発明によるブランチメトリック演算回路の構成を示す図である。

【図4】本発明のブランチメトリック演算回路による2乗演算に対する折れ線近似関数の一例を示す図である。

【図5】本発明のブランチメトリック演算回路による2乗演算に対する折れ線近似関数の一例を示す図である。

【図6】本発明のブランチメトリック演算回路による2乗演算に対する折れ線近似関数の一例を示す図である。

【図7】本発明によるブランチメトリック演算回路の回路構成の一例を示す図である。

【図8】図7に示されるブランチメトリック演算回路の真理値表を示す図である。

【図9】本発明によるブランチメトリック演算回路の他の構成を示す図である。

【図10】本発明のブランチメトリック演算回路による2乗演算に対する折れ線近似関数の一例を示す図である。

【図11】本発明のブランチメトリック演算回路による2乗演算に対する折れ線近似関数の一例を示す図である。

【図12】本発明によるブランチメトリック演算回路の回路構成の一例を示す図である。

【図13】図12に示されるブランチメトリック演算回路の真理値表を示す図である。

【図14】本発明によるブランチメトリック演算回路の他の構成を示す図である。

1 1

【図15】本発明のブランチメトリック演算回路による2乗演算に対する折れ線近似関数の一例を示す図である。

【図16】本発明のブランチメトリック演算回路による2乗演算に対する折れ線近似関数の一例を示す図である。

【図17】本発明によるブランチメトリック演算回路の回路構成の一例を示す図である。

【図18】図17に示されるブランチメトリック演算回

1 2

路の真理値表を示す図である。

【図19】本発明のブランチメトリック演算回路による2乗演算に対する折れ線近似関数の一例を示す図である。

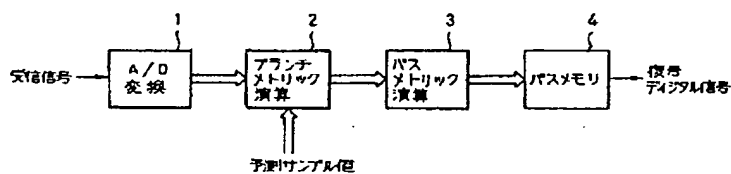
【主要部分の符号の説明】

2 ブランチメトリック演算回路

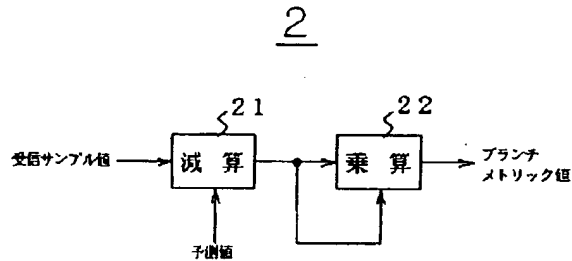
21 減算器

23 折れ線変換回路

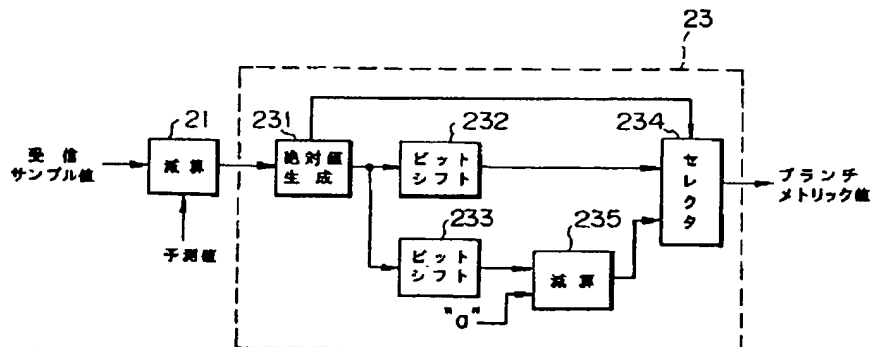
【図1】



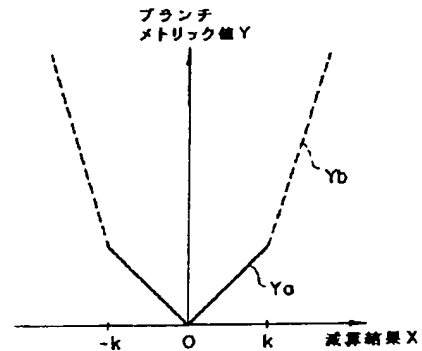
【図2】



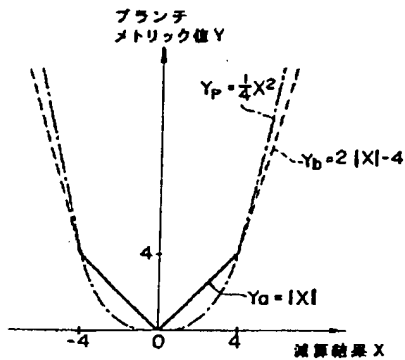
【図3】



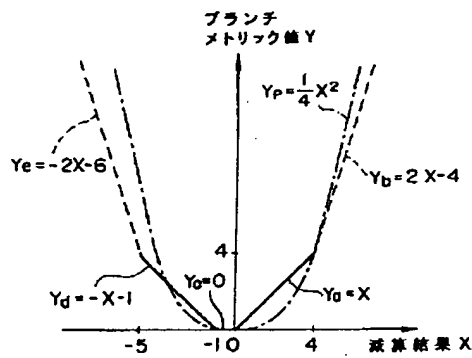
【図4】



【図5】

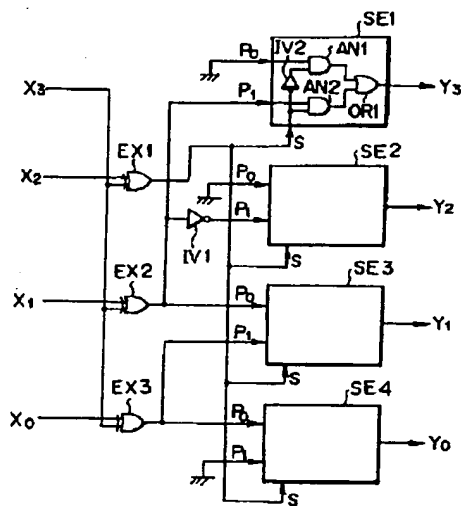


【図6】



【図7】

23



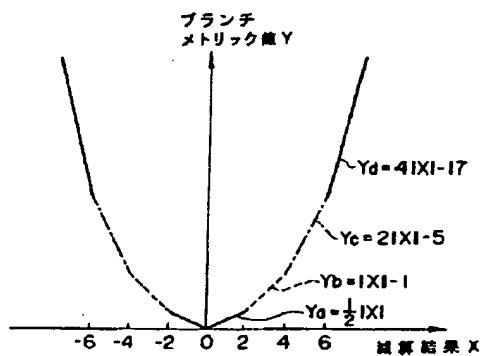
【図8】

減算結果 X					ブランチメトリック値 Y				
2進 (2's c)					2進 (SB)				
X3	X2	X1	X0	10進	Y3	Y2	Y1	Y0	10進
0	1	1	1	7	1	0	1	0	10
0	1	1	0	6	1	0	0	0	8
0	1	0	1	5	0	1	1	0	6
0	1	0	0	4	0	1	0	0	4
0	0	1	1	3	0	0	1	1	3
0	0	1	0	2	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1
0	0	0	0	0	0	0	0	0	0
1	1	1	1	-1	0	0	0	0	0
1	1	1	0	-2	0	0	0	1	1
1	1	0	1	-3	0	0	1	0	2
1	1	0	0	-4	0	0	1	1	3
1	0	1	1	-5	0	1	0	0	4
1	0	1	0	-6	0	1	1	0	6
1	0	0	1	-7	1	0	0	0	8
1	0	0	0	-8	1	0	1	0	10

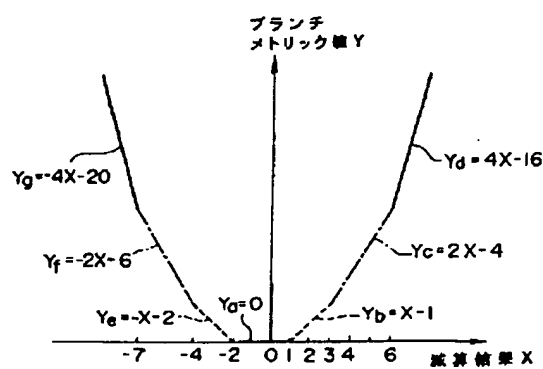
2's c : 2's complement
(2の補数)

SB : Straight Binary
(ストレートバイナリ)

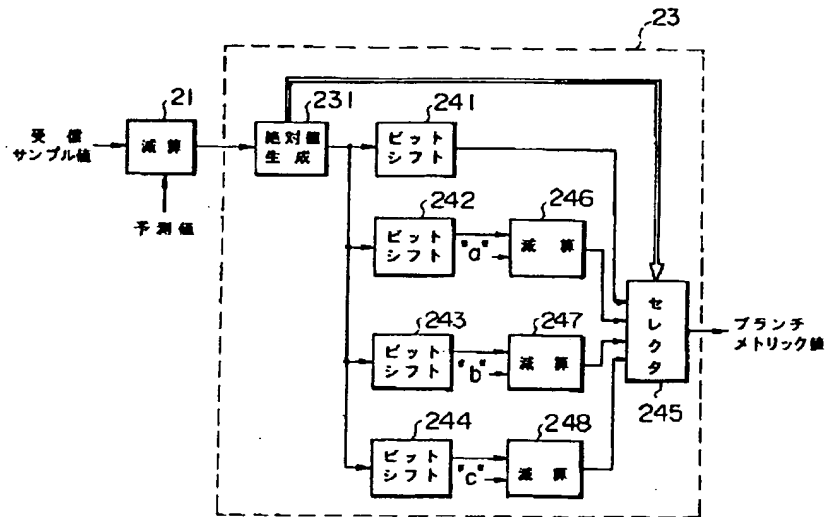
【図10】



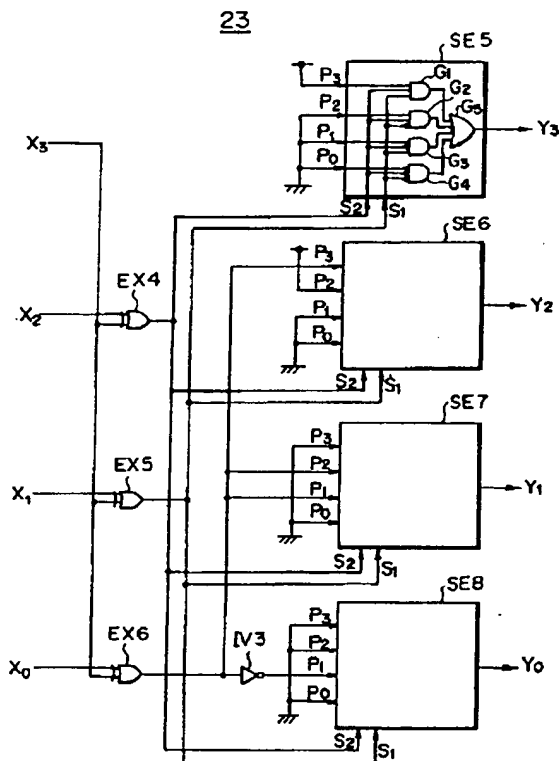
【図11】



【図9】



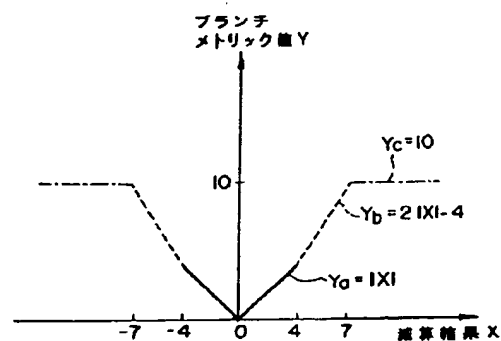
【図12】



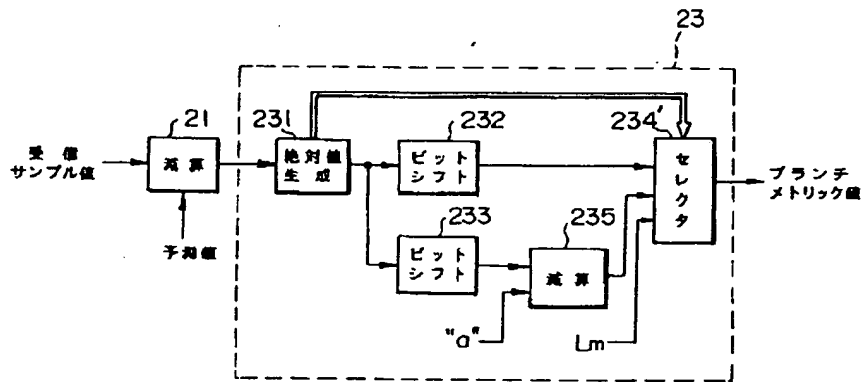
【図13】

演算結果 X					ブランチメトリック値 Y				
2進 (2'sc)					2進 (SB)				
X_3	X_2	X_1	X_0		Y_3	Y_2	Y_1	Y_0	
0	1	1	1	7	1	1	0	0	12
0	1	1	0	6	1	0	0	0	8
0	1	0	1	5	0	1	1	0	6
0	1	0	0	4	0	1	0	0	4
0	0	1	1	3	0	0	1	0	2
0	0	1	0	2	0	0	0	1	1
0	0	0	1	1	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
1	1	1	1	-1	0	0	0	0	0
1	1	1	0	-2	0	0	0	0	0
1	1	0	1	-3	0	0	0	1	1
1	1	0	0	-4	0	0	1	0	2
1	0	1	1	-5	0	1	0	0	4
1	0	1	0	-6	0	1	1	0	6
1	0	0	1	-7	1	0	0	0	8
1	0	0	0	-8	1	1	0	0	12

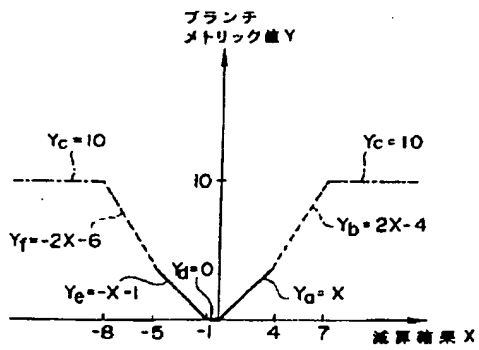
【図15】



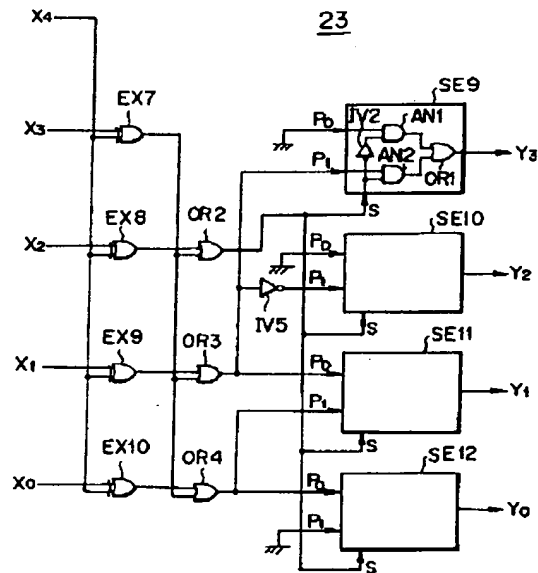
【図14】



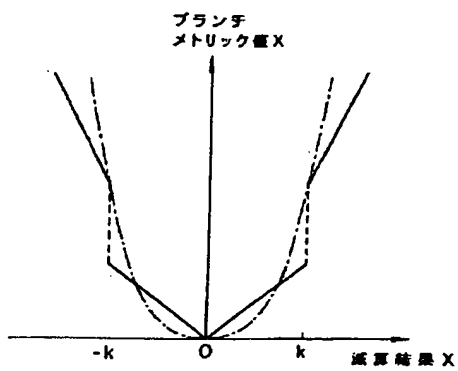
【図16】



【図17】



【図19】



【図18】

減算結果 X						ブランチメトリック値 Y					
2 進 (2sc)						2 進 (SB)					
X ₄	X ₃	X ₂	X ₁	X ₀	10 進	Y ₃	Y ₂	Y ₁	Y ₀	10 進	
0	1	1	1	1	15	1	0	1	0	10	
0	1	1	1	0	14	1	0	1	0	10	
0	1	1	0	1	13	1	0	1	0	10	
0	1	1	0	0	12	1	0	1	0	10	
0	1	0	1	1	11	1	0	1	0	10	
0	1	0	1	0	10	1	0	1	0	10	
0	1	0	0	1	9	1	0	1	0	10	
0	1	0	0	0	8	1	0	1	0	10	
0	0	1	1	1	7	1	0	1	0	10	
0	0	1	1	0	6	1	0	0	0	8	
0	0	1	0	1	5	0	1	1	0	6	
0	0	1	0	0	4	0	1	0	0	4	
0	0	0	1	1	3	0	0	1	1	3	
0	0	0	1	0	2	0	0	1	0	2	
0	0	0	0	1	1	0	0	0	1	1	
0	0	0	0	0	0	0	0	0	0	0	
1	1	1	1	1	-1	0	0	0	0	0	
1	1	1	1	0	-2	0	0	0	1	1	
1	1	1	0	1	-3	0	0	1	0	2	
1	1	1	0	0	-4	0	0	1	1	3	
1	1	0	1	1	-5	0	1	0	0	4	
1	1	0	1	0	-6	0	1	1	0	6	
1	1	0	0	1	-7	1	0	0	0	8	
1	1	0	0	0	-8	1	0	1	0	10	
1	0	1	1	1	-9	1	0	1	0	10	
1	0	1	1	0	-10	1	0	1	0	10	
1	0	1	0	1	-11	1	0	1	0	10	
1	0	1	0	0	-12	1	0	1	0	10	
1	0	0	1	1	-13	1	0	1	0	10	
1	0	0	1	0	-14	1	0	1	0	10	
1	0	0	0	1	-15	1	0	1	0	10	
1	0	0	0	0	-16	1	0	1	0	10	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.